

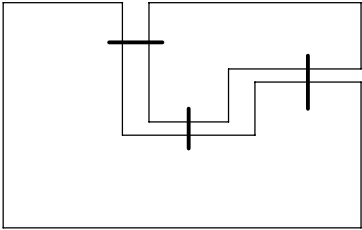
Configuration List

BLANK

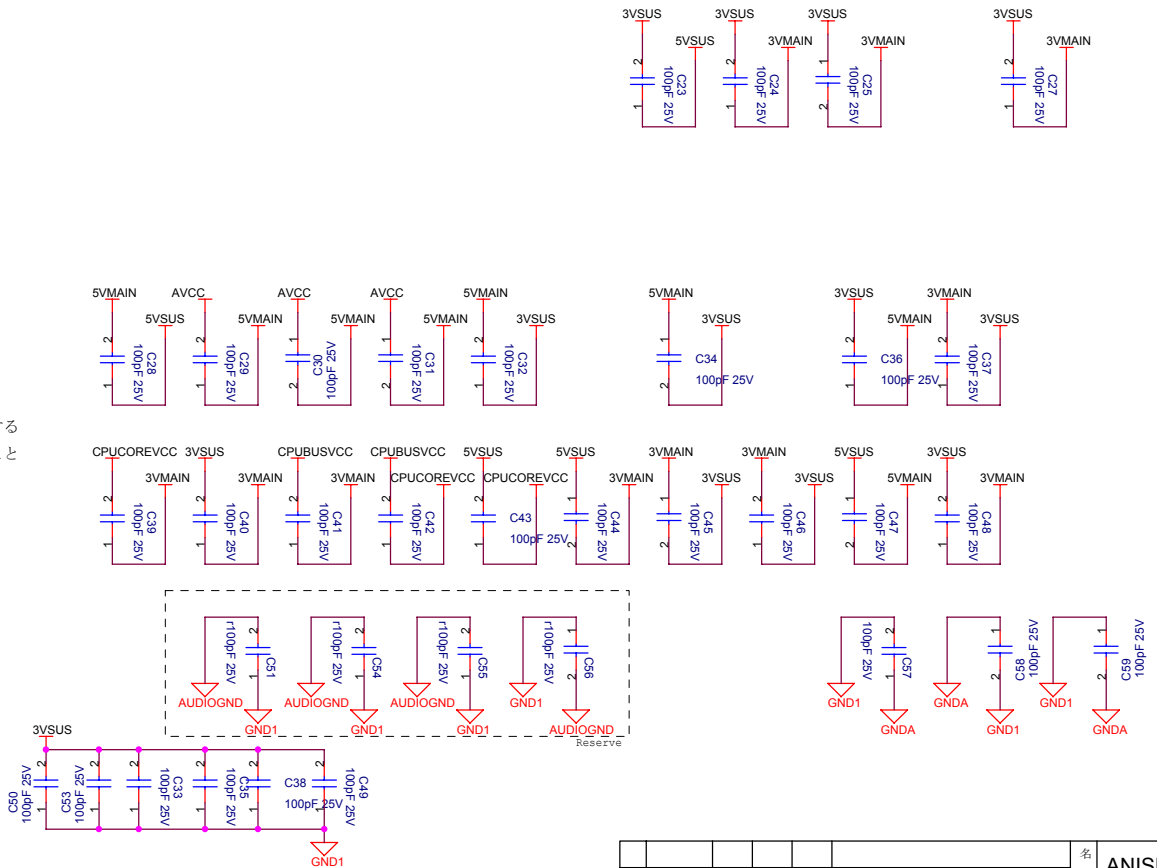
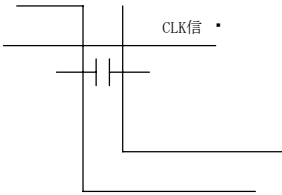
[illegible]

							名	ANISE-E2 04		
							称			
							図	C1CP051300-X4		提出先
							番			
版	年	月	設計	調査	承認	変 更 内				
設計				調査		登	承認	富士通株式会社		
								2	/	81

本部品は電波対策用の部品であり、基板の周囲で電源とグランドに挿入するフィルタである。
特に電源の種類は未接続状態にしているので、適宜、配置する 箇所に電源を設定すること

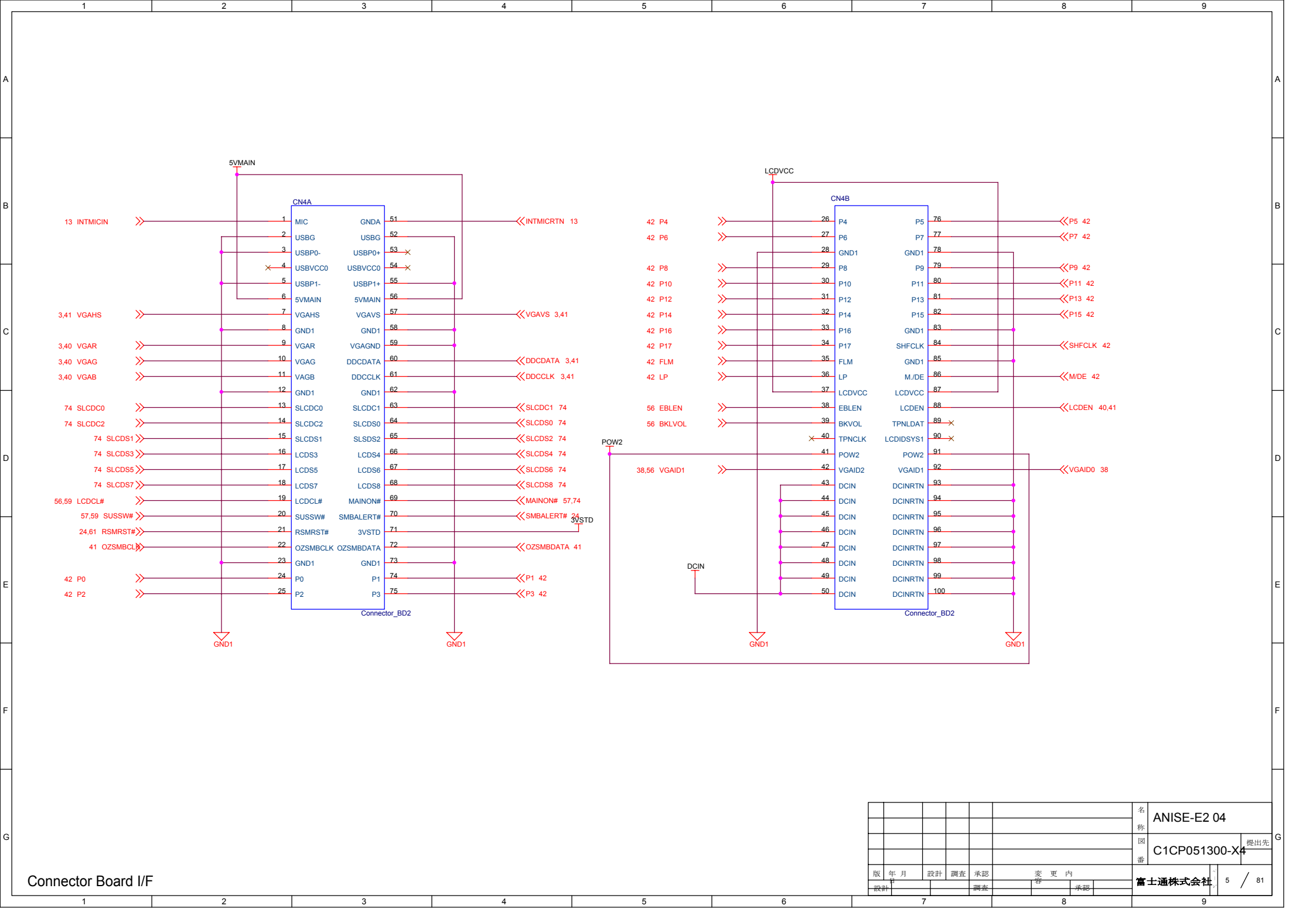


本コンデンサは電源/グランド層にして発生する島ブレーン同士 風へ続するためにものである。
そのため、上記のような島構成であれば、ポイントとなる個所にコンデンサを配置するようにする
また、クロックを、島をまたいで引く場合には、クロック信号の近くにコンデンサを配置すること
また、レイアウトに関連するので、未接 状態にしている。



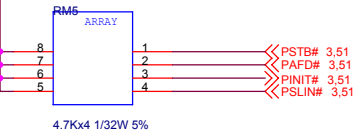
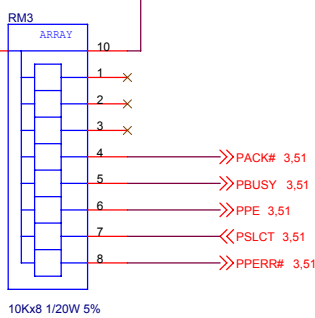
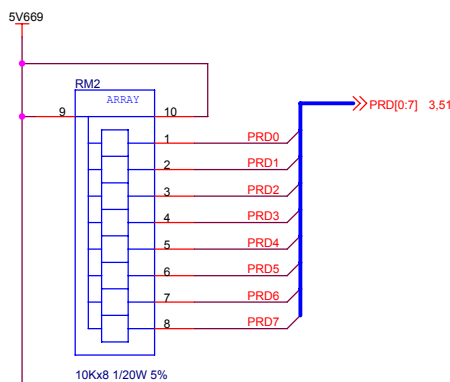
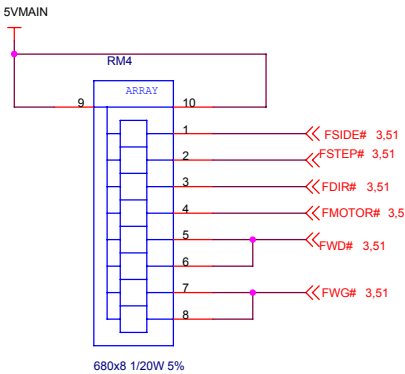
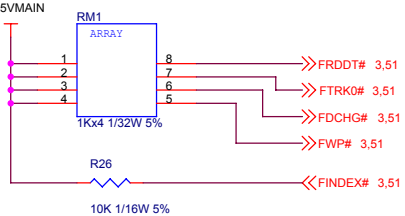
EMI RC

名 称		ANISE-E2-04	
図 番		C1CP051300-X4	提出先
版		設計	承認
年 月		設計	承認
設計		調査	承認
変更		承認	承認
富士通株式会社		3	81

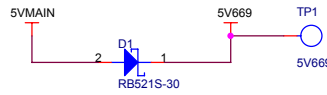


										名	ANISE-E2 04
										図	C1CP051300-X4
										番	提出先
版	年 月	設計	調査	承認		変 更	内			富士通株式会社	5 / 81
設計						承認					

FLOPPY関連信号のPULL UP
上記の集合抵抗および抵抗はSUPER
I/O (FDC37N769)
FDDに配置すること。
Above register array and register must be placed near
super I/O chip (FDC37N769) and routed with short trace from it.

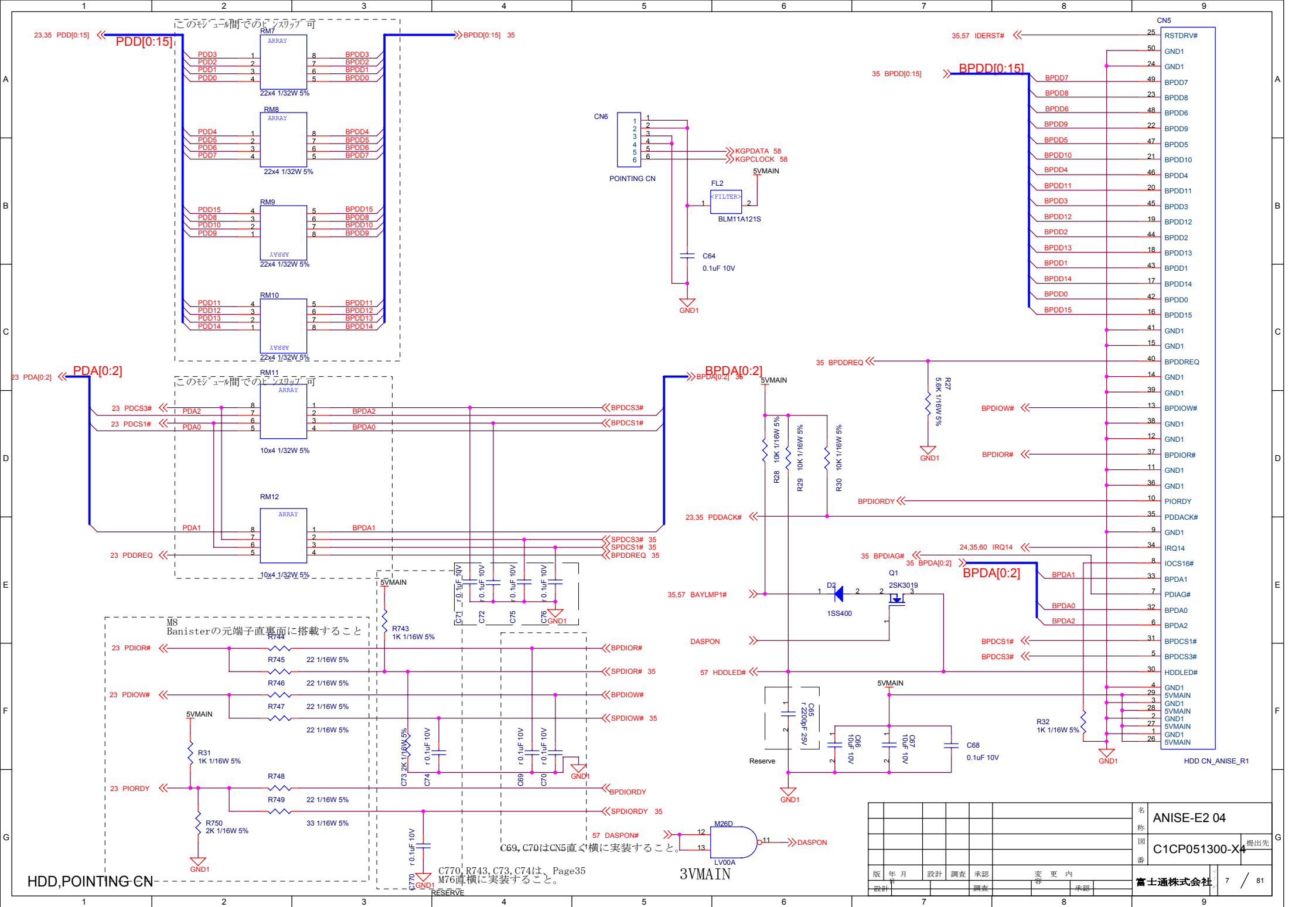


PARARELL関連信号のPULL UP

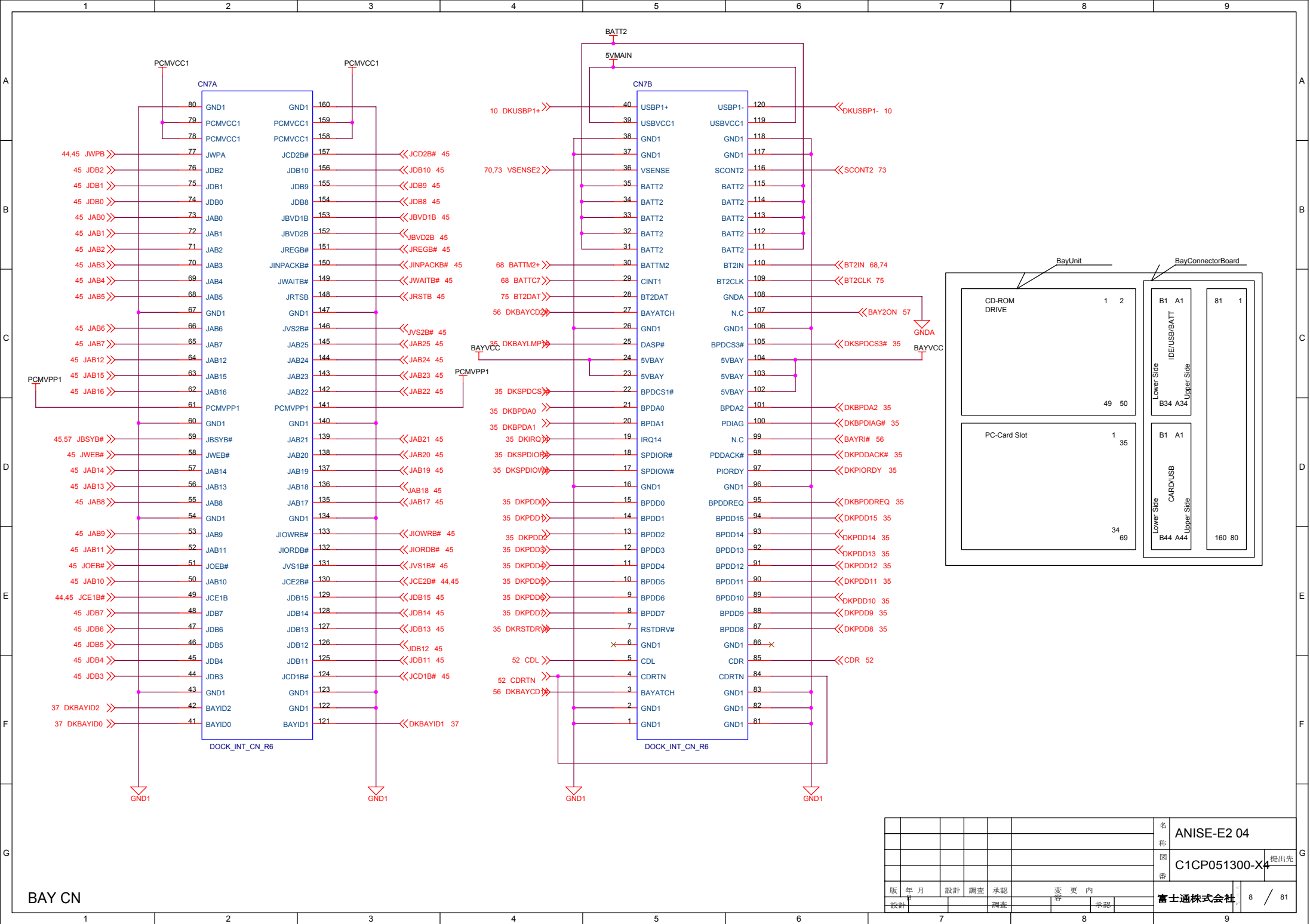


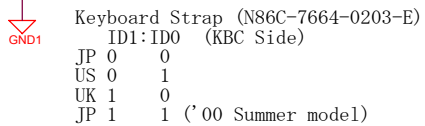
FDD,PRINTER PULL UP

							名	ANISE-E2 04	
							称		
							図	C1CP051300-X4	提出先
							番		
版	年 月	設計	調査	承認	変 更 内			富士通株式会社	6 / 81
設計			調査			承認			

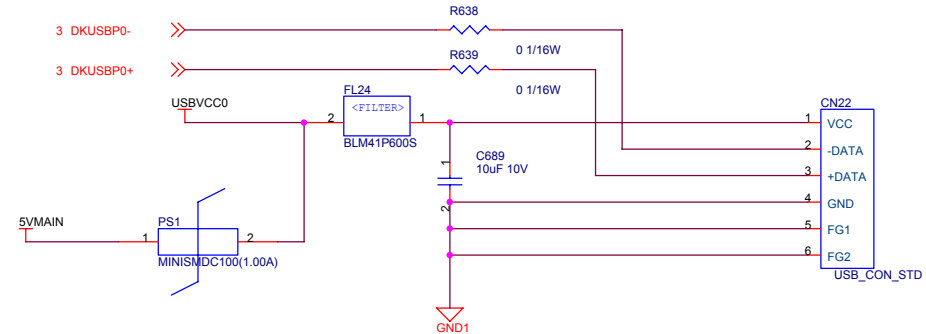


名	ANISE-E2 04
図	C1CP051300-X4
番	提出先
版	承認
年月	承認
設計	承認
調査	承認
承認	承認
変更	承認
内	承認
承認	承認
富士通株式会社	7 / 81

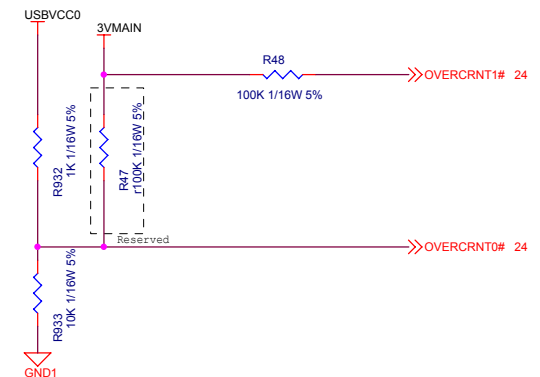




							名称	ANISE-E2 04			G
							図番	C1CP051300-X#	提出先		
版	年	月	設計	調査	承認	変更内					
設計				調査		審査	承認	富士通株式会社			9 / 81



[NOTE] : CTL is control(input) function : Noninverting TTL control input.
High(>1.8V typical)=On, Low(<1.6V typical)=Off.



USBn+

Less than 1 inch

270ohm

47pF

15kohm

The length of this stub must be as short as possible.

Those three components must be located as near to BANISTER as possible.

This point must be appeared on surficial layer to be cuttable.

Less than 1 inch

0ohm

USB CN

Docking CN

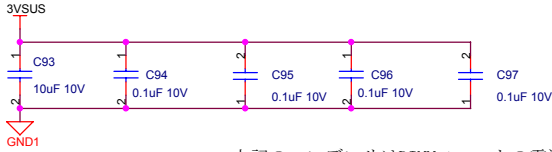
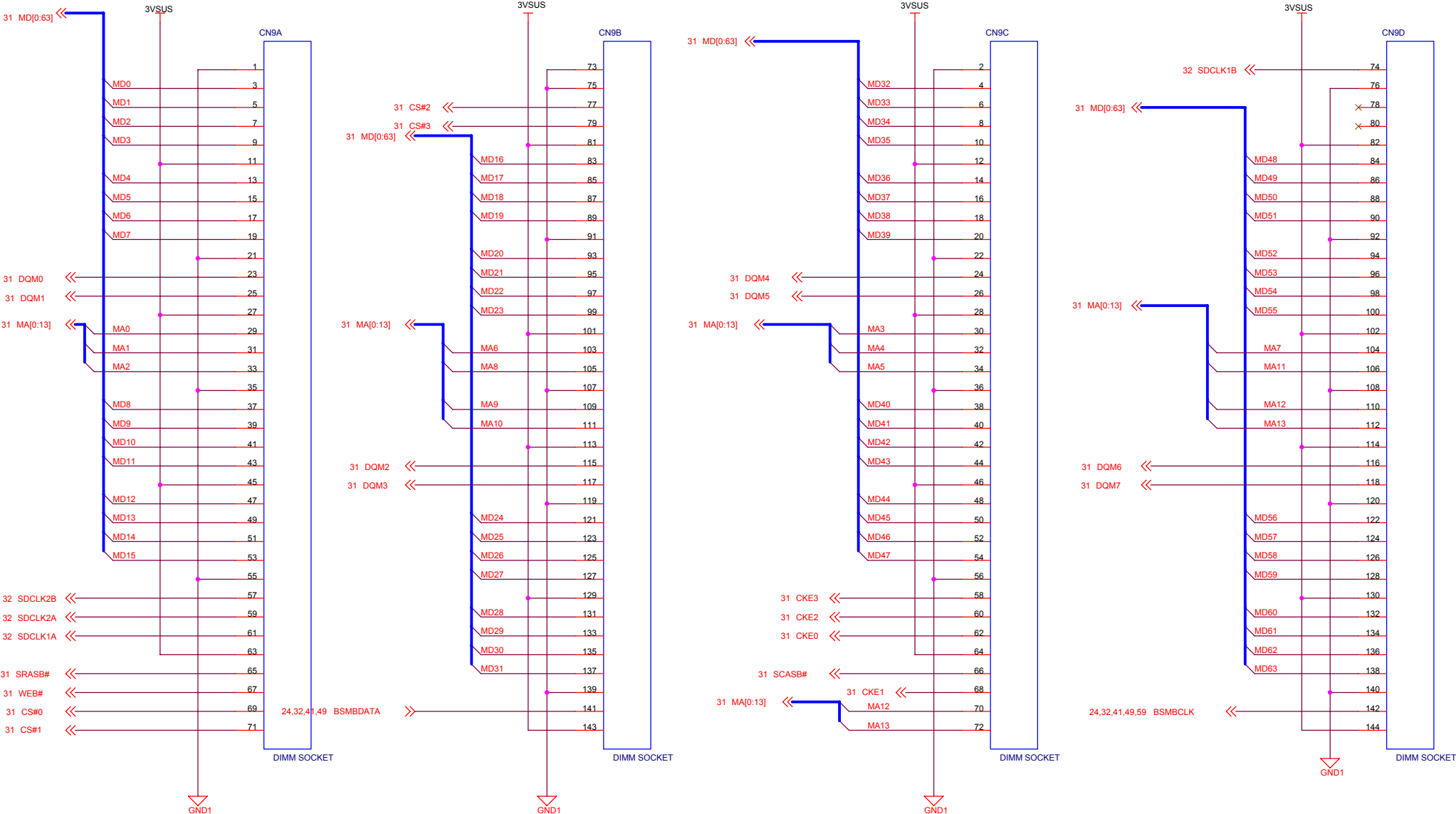
This trace must be guarded along with USBG traces on both sides.

BANISTER

[illegible]



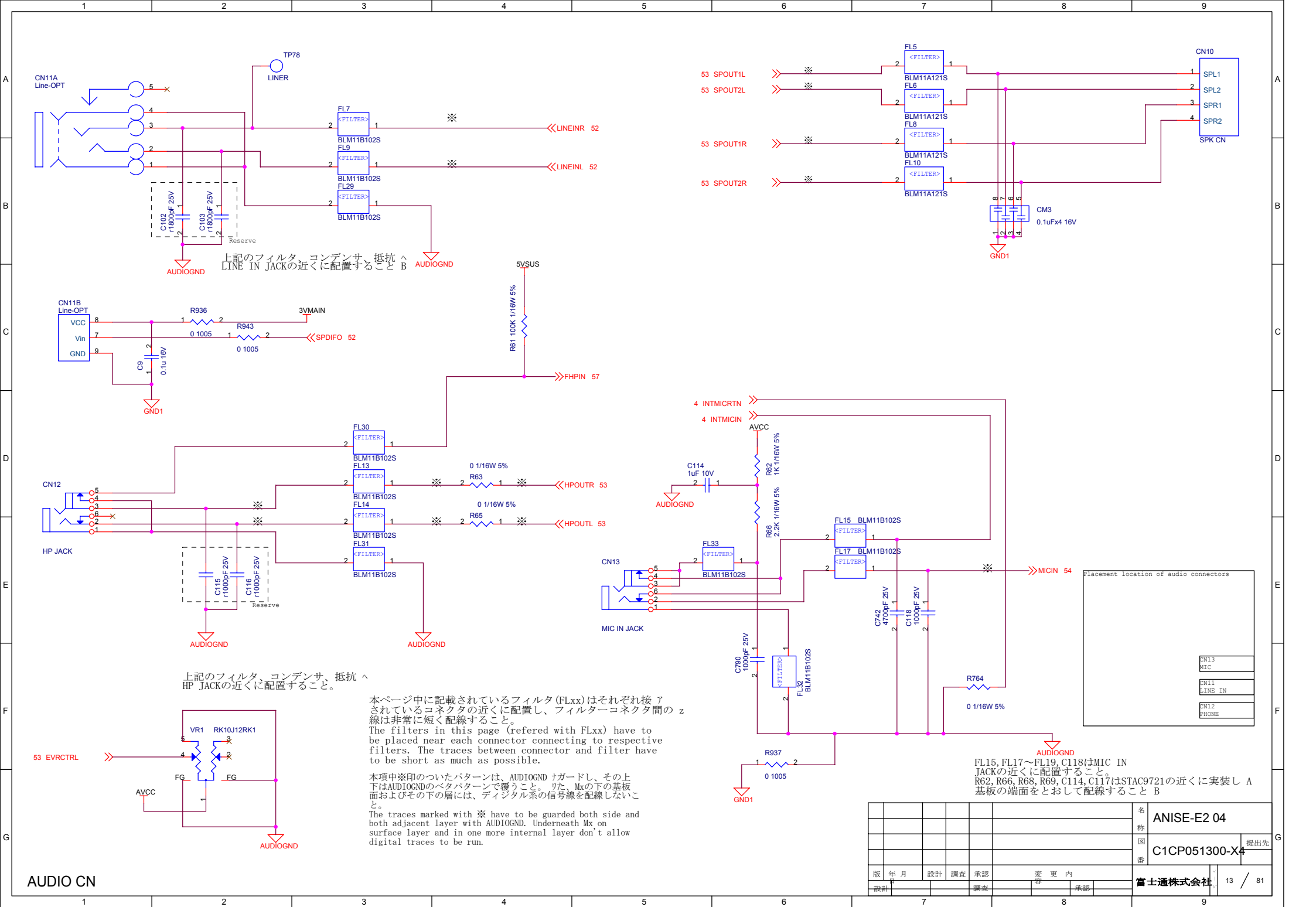
SO-DIMM SLOT (FOR EXPANSION MEMORY)



上記のコンデンサはDIMMスロットの電源端子の近くに配置・配線すること B

Dimm Slot

										名	ANISE-E2 04	
										称		
										図	C1CP051300-X4	提出先
										番		
版	年 月	設計	調査	承認	変 更 内						富士通株式会社	12 / 81
設計				調査				承認				



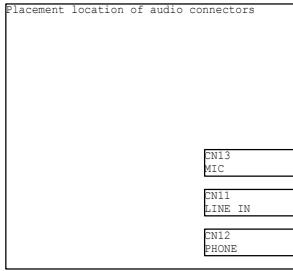
上記のフィルタ、コンデンサ、抵抗へ
LINE IN JACKの近くに配置すること

上記のフィルタ、コンデンサ、抵抗へ
HP JACKの近くに配置すること。

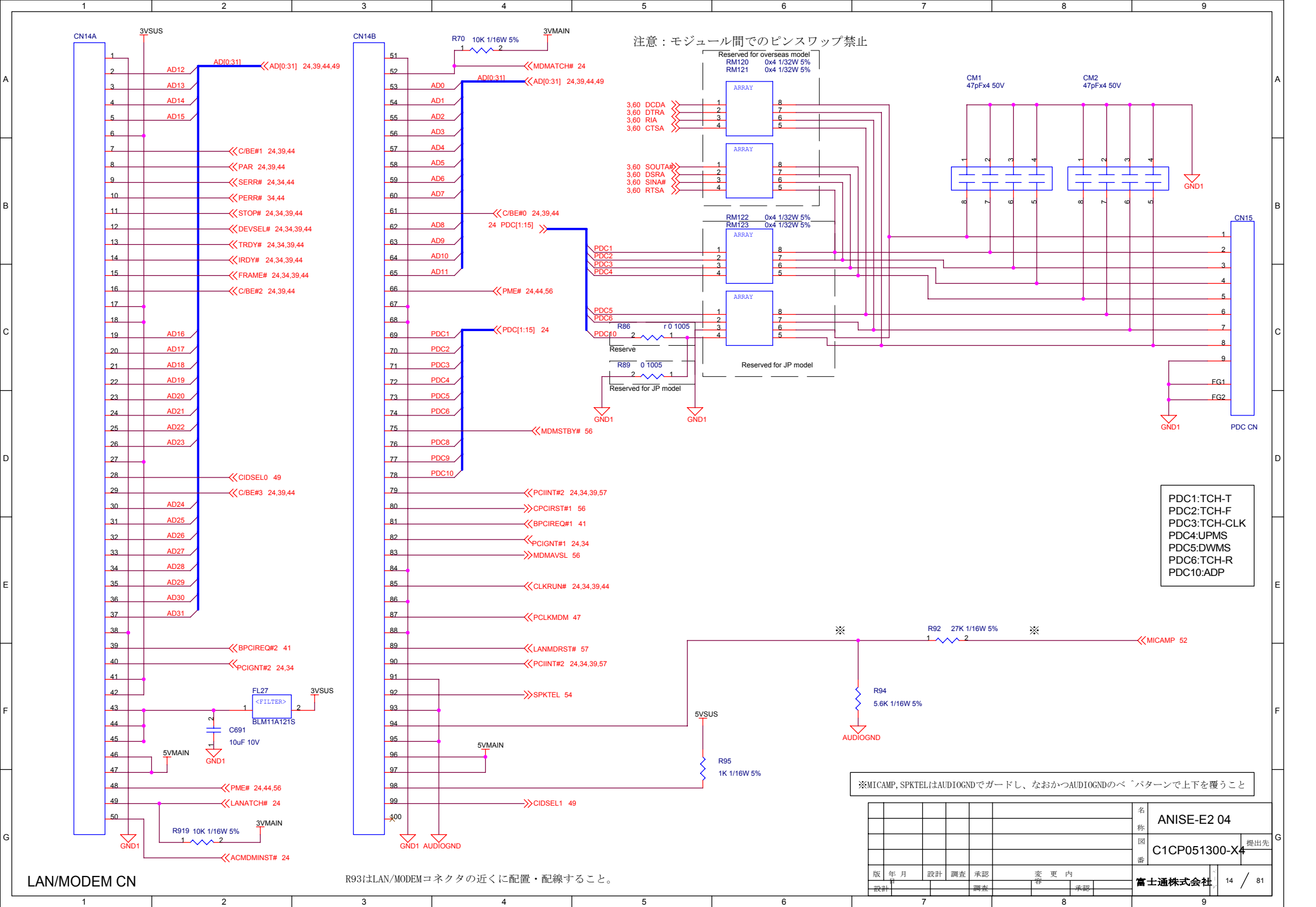
本ページ中に記載されているフィルタ (FLxx) はそれぞれ接ア
されているコネクタの近くに配置し、フィルタコネクタ間の z
線は非常に短く配線すること。
The filters in this page (referred to as FLxx) have to
be placed near each connector connecting to respective
filters. The traces between connector and filter have
to be short as much as possible.

本項中※印のついたパターンは、AUDIOGND ナガードし、その上
下はAUDIOGNDのベタパターンで覆うこと。また、Mxの下に基板
面およびその下の層には、デジタル系の信号線を配線しないこ
と。
The traces marked with ※ have to be guarded both side and
both adjacent layer with AUDIOGND. Underneath Mx on
surface layer and in one more internal layer don't allow
digital traces to be run.

FL15, FL17~FL19, C118はMIC IN
JACKの近くに配置すること。
R62, R66, R68, R69, C114, C117はSTAC9721の近くに実装し A
基板の端面をとおして配線すること B

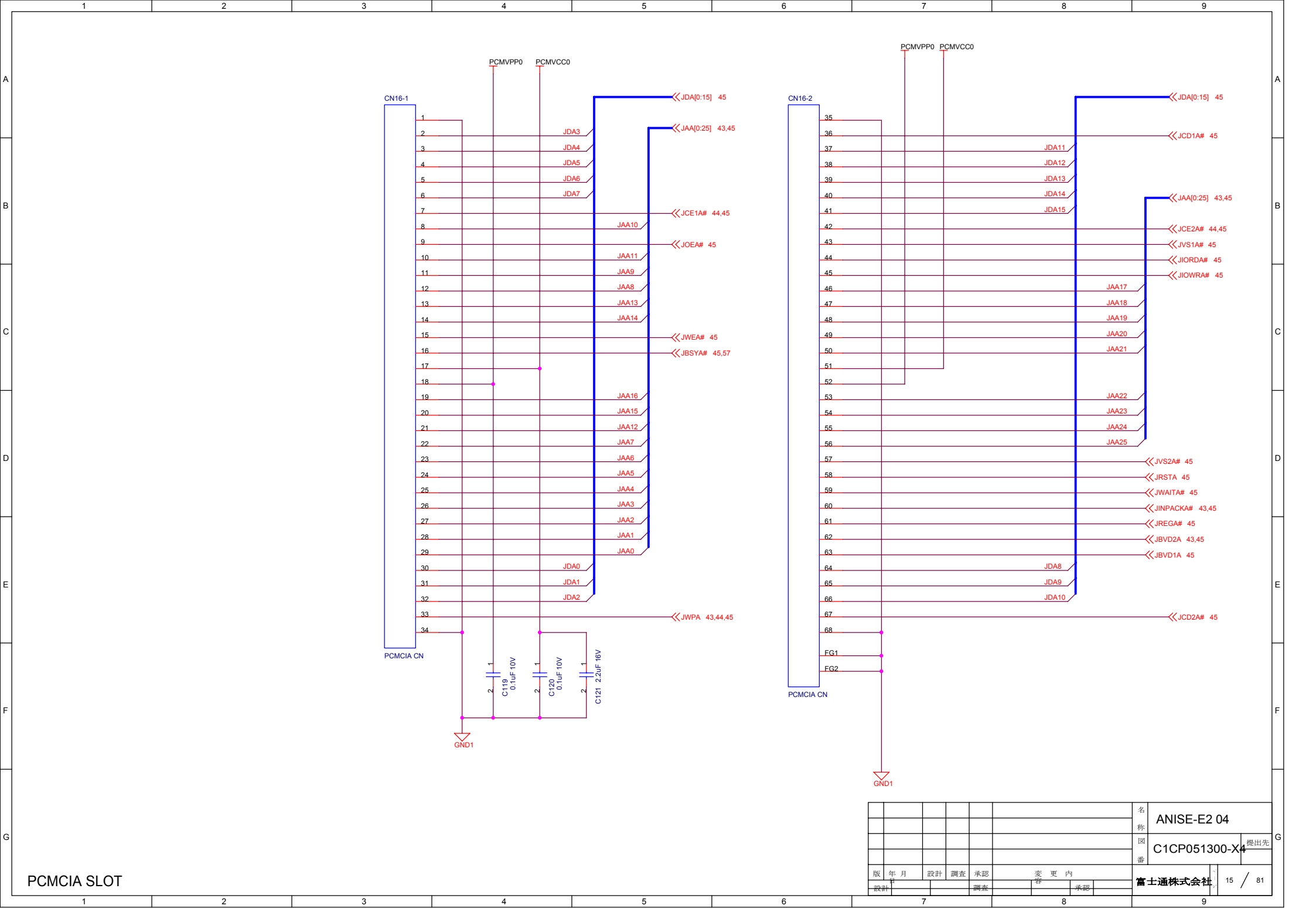


				名 称				ANISE-E2 04			
				図 番				C1CP051300-X4			
				提出先							
版				設計				承認			
設計				調査				変更			
				承認				富士通株式会社			
								13 / 81			

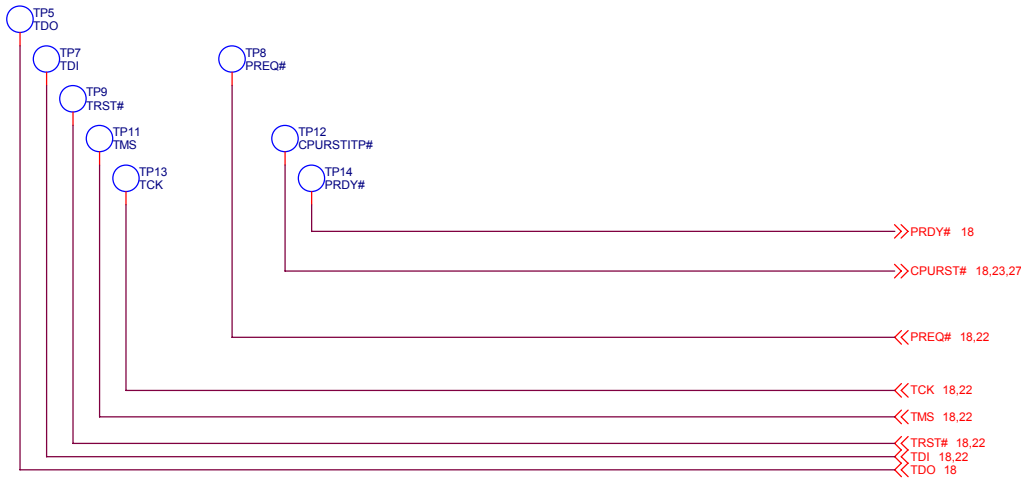
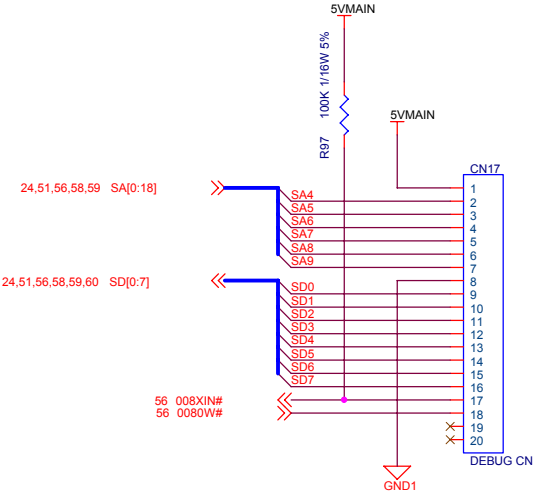


LAN/MODEM CN

R93はLAN/MODEMコネクタの近くに配置・配線すること。



**TP5-TP14はCeleron CPU M6 接続先PAD直裏付近、実装のこと。



本ページ記載のコネクタはデバッグの為のものである。
なるべくコネクタの配置は、基板端にすること。
もし実装上困難であれば、上記コネクタの形状変更を検討します
ので、別途相談願います。

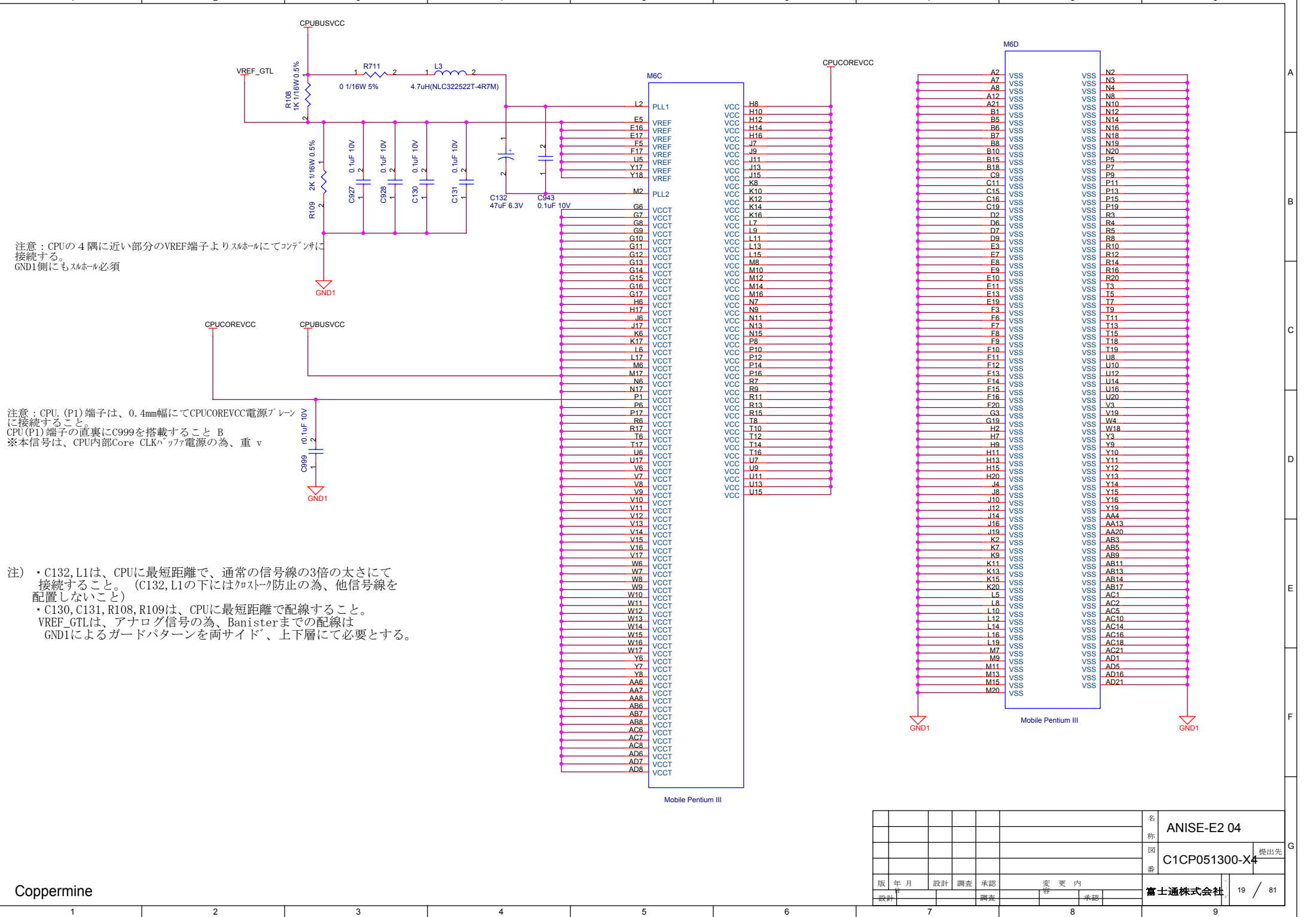
DEBUG CN

									名	ANISE-E2 04
									称	
									図	C1CP051300-X#
									番	提出先
版	年 月	設計	調査	承認		変 更 内				富士通株式会社
設計			調査			変 更	承認			16 / 81

	1	2	3	4	5	6	7	8	9
A									
B									
C									
D									
E									
F									
G									

CPU TEMP. MONITOR

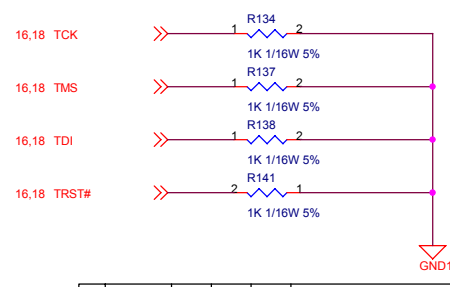
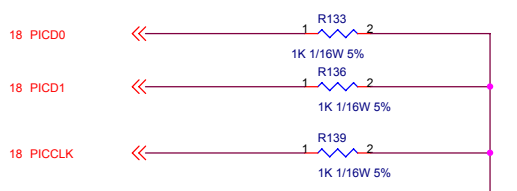
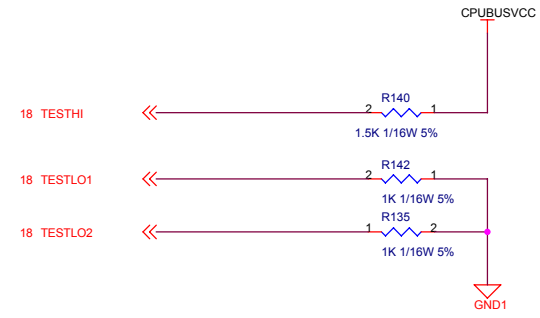
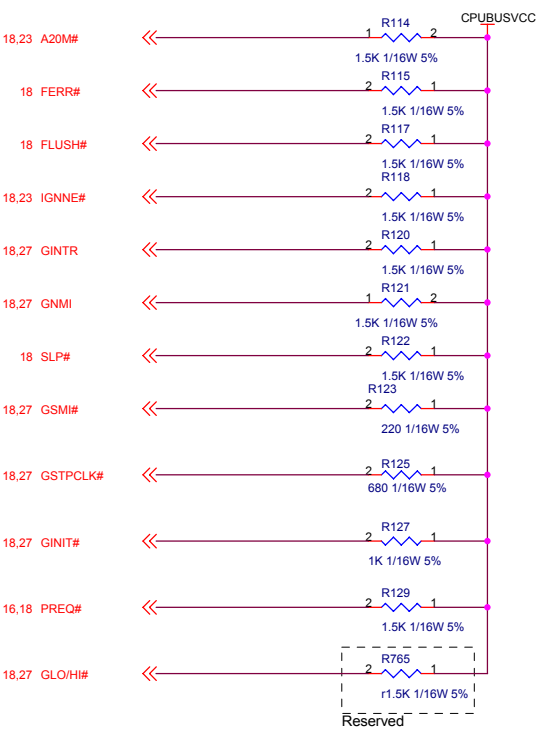
						名	ANISE-E2 04		
						称			
						図	C1CP051300-X4		提出先
						番			
版	年 月	設計	調査	承認		変 更 内		富士通株式会社	17 / 81
設計			調査			管 承 認			



	1	2	3	4	5	6	7	8	9
A									
B									
C									
D									
E									
F									
G									

HOST Signals Pullups

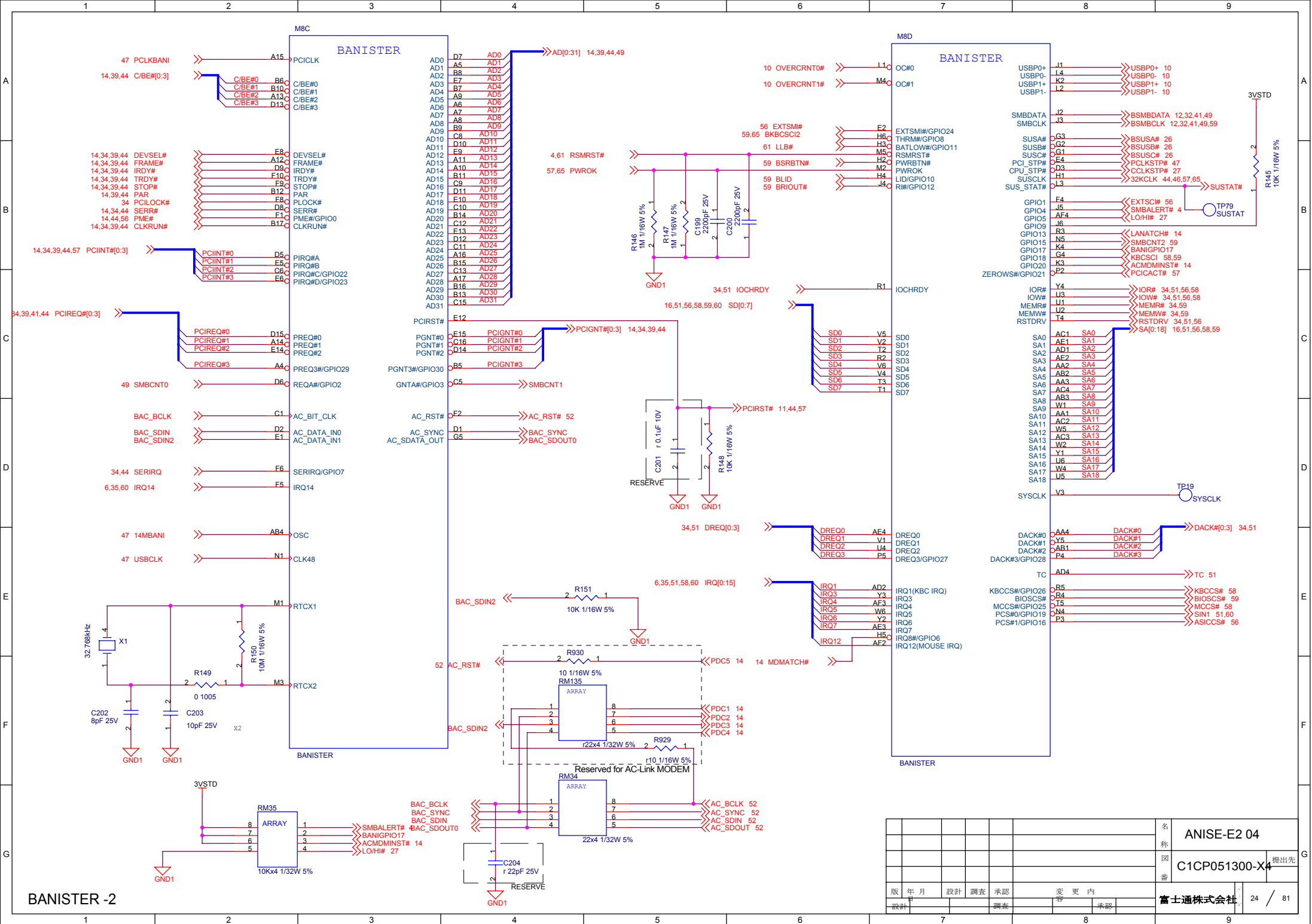
						名	ANISE-E2 04		
						称			
						图	C1CP051300-X4		提出先
						番			
版	年 月	設計	調査	承認		変 更 内			
設計			調査			変 更	承認		
							富士通株式会社	21 / 81	

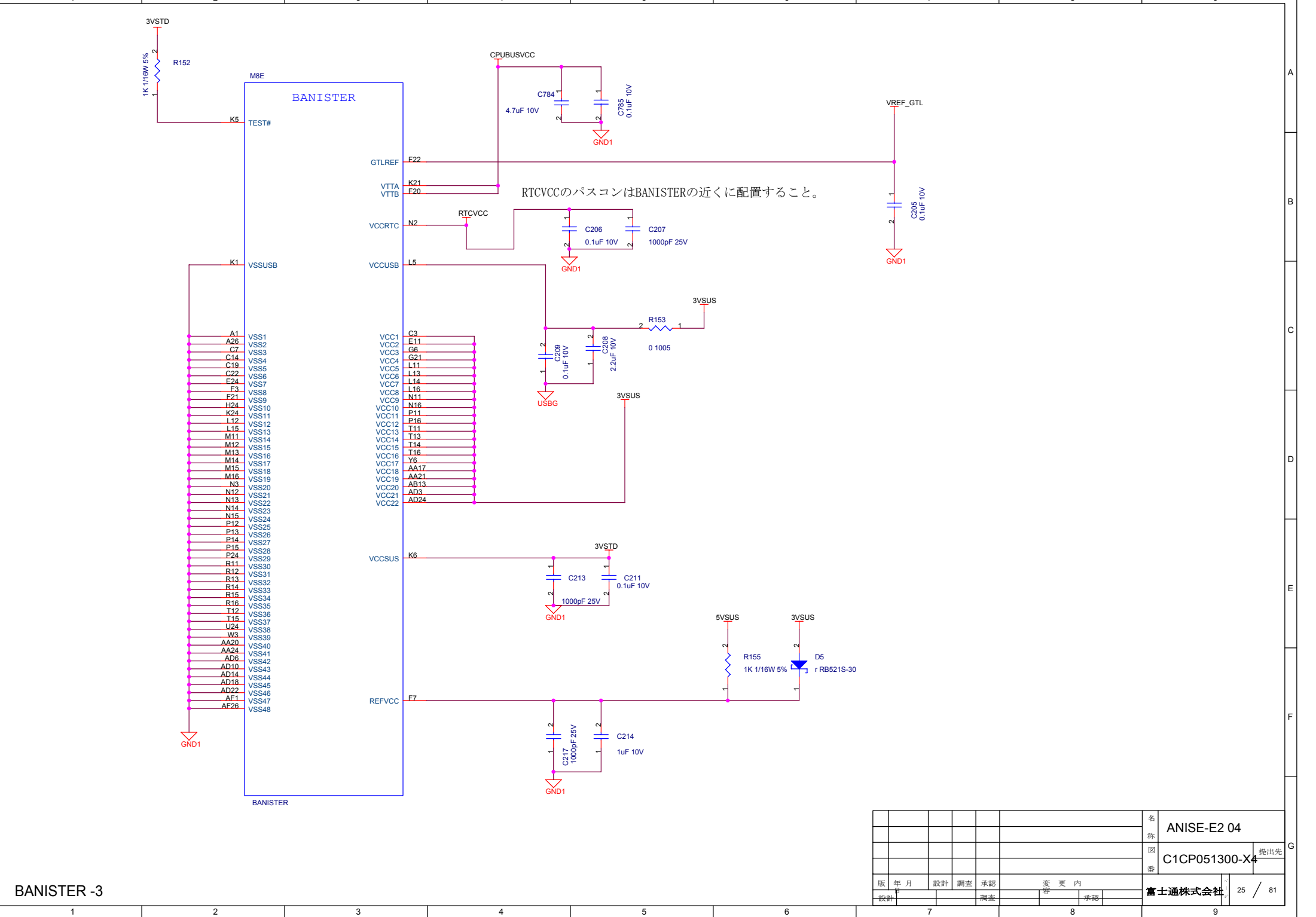


重要:
本ページ記載の抵抗については、特に記載が無い限り、CPUの
間近に配置・配線すること。

SideBand Signals Pull Up

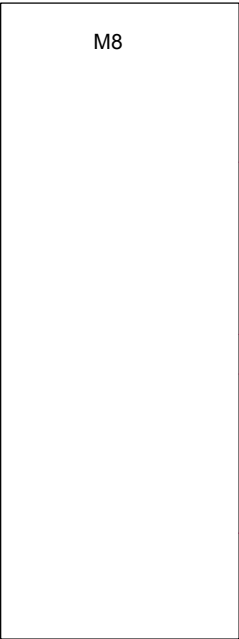
									名	ANISE-E2 04
									図	C1CP051300-X4
									番	
版	年月	設計	調査	承認		変更	内		富士通株式会社	22 / 81
設計			調査			変更	承認			



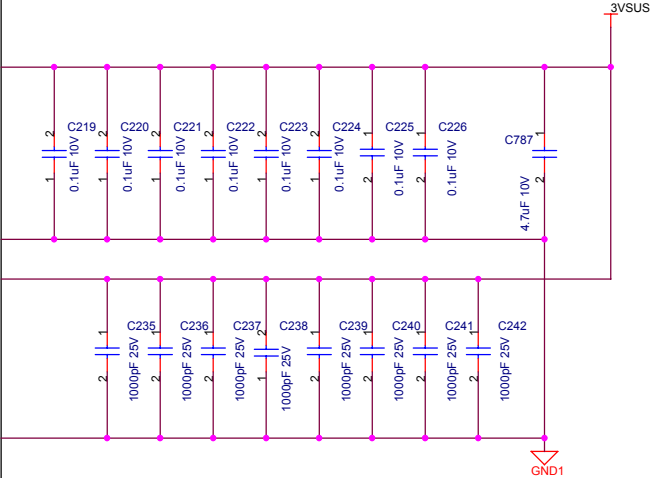


BANISTER -3

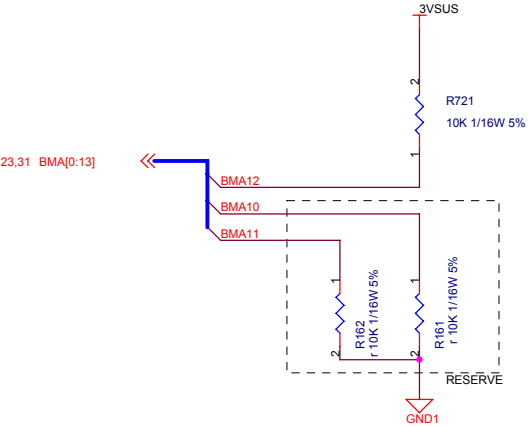
									名	ANISE-E2 04		
									称			
									図	C1CP051300-X4		
									番	提出先		
版	年 月	設計	調査	承認	変 更 内							
設計			調査		変 更	承認			富士通株式会社		25 / 81	
7					8			9				



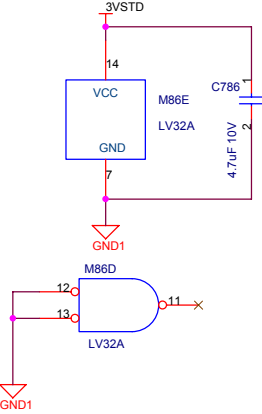
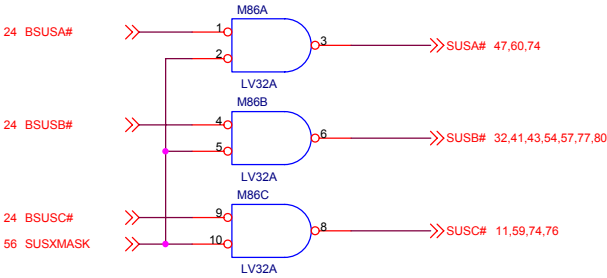
BANISTER



上記のコンデンサはBANISTERの各電源ピンの近くに均等に配置すること

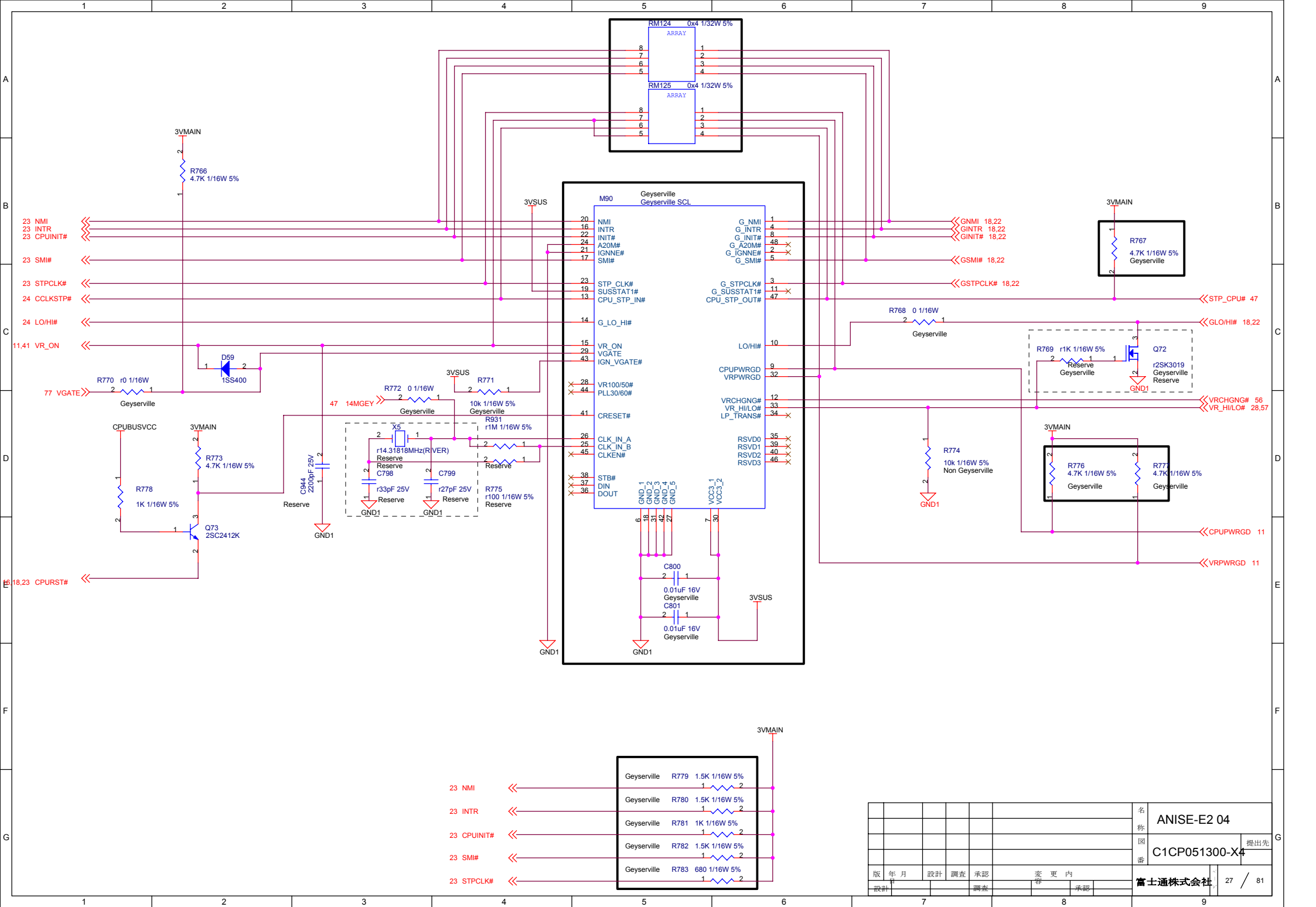


上記の抵抗はCHIPSET (BANISTER) の近傍に配置してください
MA13, 9, 7, 1にはBANISTER内で内部PULL DOWNあり。



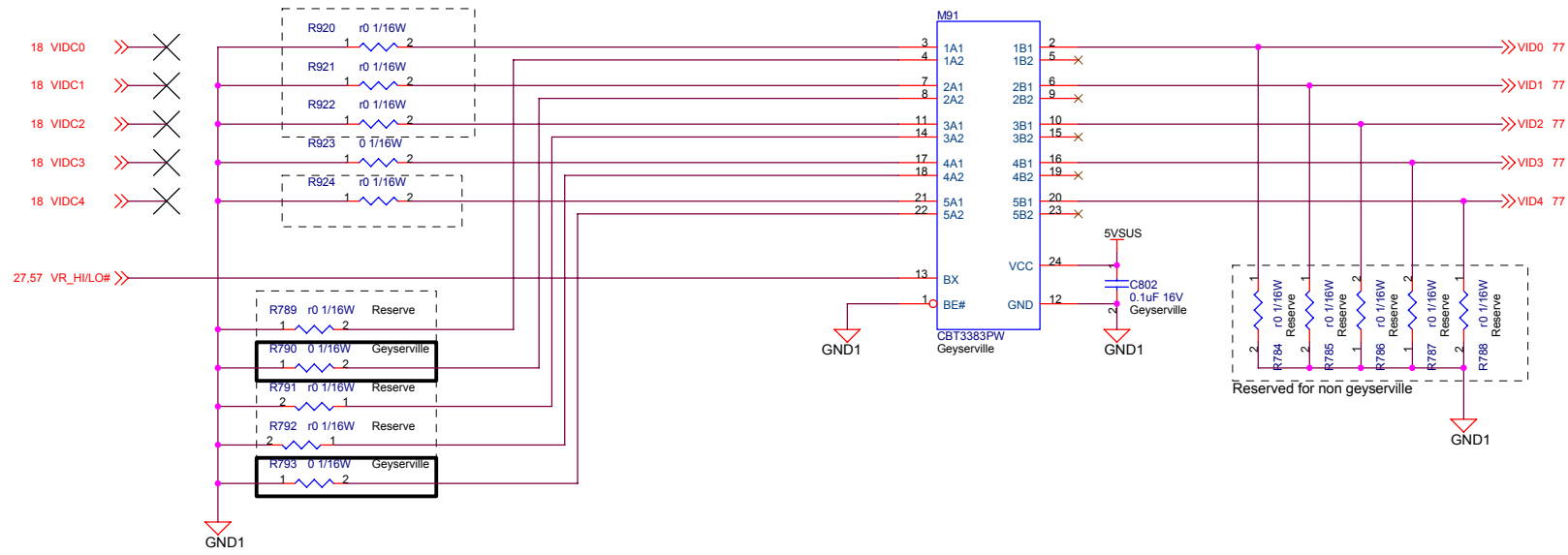
STRAPPING OPTIONS

SIGNAL	DESCRIPTION	DEFAULT
MA10	Quick Start/Deep Sleep	PULL UP
MA11	IOQ depth =8	PULL UP
MA12	Host Frequenct Select Strap to High = 100MHz	PULL DOWN



						名	ANISE-E2 04	
						図	C1CP051300-X4	
						番	提出先	
版	年月	設計	調査	承認	変更	内	富士通株式会社	
設計			調査		変更	承認	27	81

【このページの部品について】
CPUCoreVccの電源に比較的近いところにおくこと(そんなに近くおく必要はない)



VID4	VID3	VID2	VID1	VID0	V
0	0	0	0	0	2.000
0	0	0	0	1	1.950
0	0	0	1	0	1.900
0	0	0	1	1	1.850
0	0	1	0	0	1.800
0	0	1	0	1	1.750
0	0	1	1	0	1.700
0	0	1	1	1	1.650
0	1	0	0	0	1.600
0	1	0	0	1	1.550
0	1	0	1	0	1.500
0	1	0	1	1	1.450
0	1	1	0	0	1.400
0	1	1	0	1	1.350
0	1	1	1	0	1.300
0	1	1	1	1	0(OFF)
1	0	0	0	0	1.275
1	0	0	0	1	1.250
1	0	0	1	0	1.225
1	0	0	1	1	1.200
1	0	1	0	0	1.175
1	0	1	0	1	1.150
1	0	1	1	0	1.125
1	0	1	1	1	1.100
1	1	0	0	0	1.075
1	1	0	0	1	1.050
1	1	0	1	0	1.025
1	1	0	1	1	1.000
1	1	1	0	0	0.975
1	1	1	0	1	0.950
1	1	1	1	0	0.925
1	1	1	1	1	0(OFF)

Celeron450 1.60V
PII6001GV 1.35V - 1.10V

VID CONTROL

名	ANISE-E2 04				提出先
図	C1CP051300-X4				提出先
番					提出先
版	年月	設計	調査	承認	変更内
設計					承認

富士通株式会社 28 / 81

1	2	3	4	5	6	7	8	9	
A									A
B									B
C									C
D									D
E									E
F									F
G									G

BLANK

								名	ANISE-E2 04	
								称		
								图	C1CP051300-X4	
								番	提出先	
版	年 月	設計	調査	承認	変 更 内			富士通株式会社		
設計			調査		変	更	承認	29	/	81

	1	2	3	4	5	6	7	8	9																																						
A																																															
B																																															
C																																															
D																																															
E																																															
F																																															
G	BLANK						<table><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>版</td><td>年 月</td><td>設計</td><td>調査</td><td>承認</td><td>変 更 内</td></tr><tr><td>設計</td><td></td><td></td><td>調査</td><td></td><td>管 承 認</td></tr></table>																			版	年 月	設計	調査	承認	変 更 内	設計			調査		管 承 認	<table><tr><td>名 称</td><td colspan="2">ANISE-E2 04</td></tr><tr><td>図 番</td><td>C1CP051300-X4</td><td>提出先</td></tr><tr><td colspan="2">富士通株式会社</td><td>30 / 81</td></tr></table>	名 称	ANISE-E2 04		図 番	C1CP051300-X4	提出先	富士通株式会社		30 / 81
版	年 月	設計	調査	承認	変 更 内																																										
設計			調査		管 承 認																																										
名 称	ANISE-E2 04																																														
図 番	C1CP051300-X4	提出先																																													
富士通株式会社		30 / 81																																													

A



C



L

23 BMD[0:63]



MD[0:63] 12

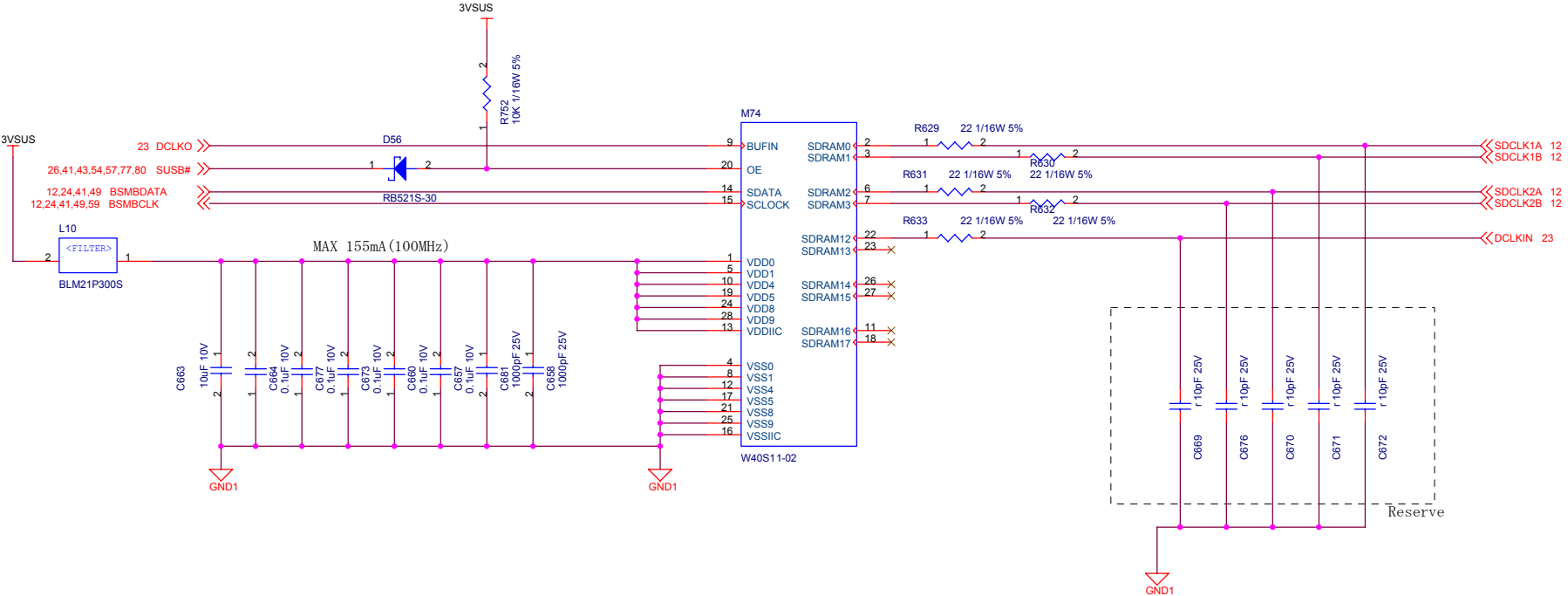


B



F

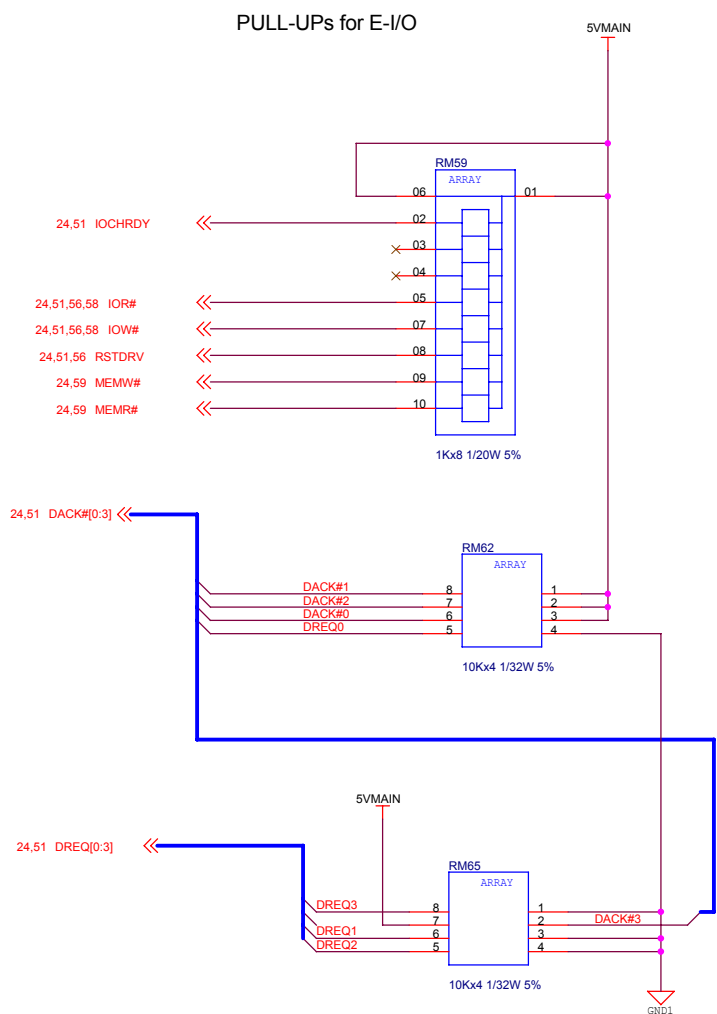
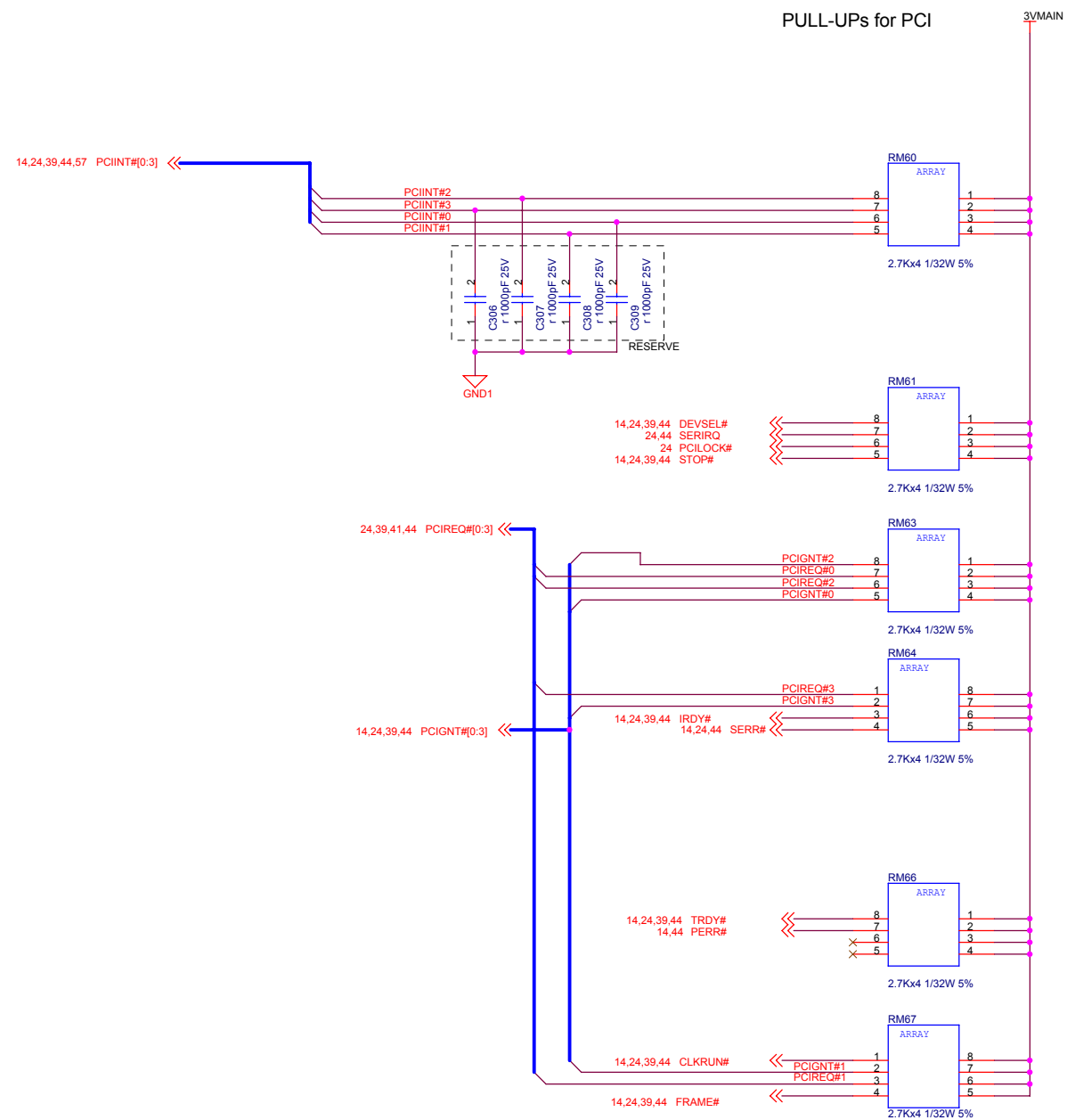
G



CLOCK BUFFER

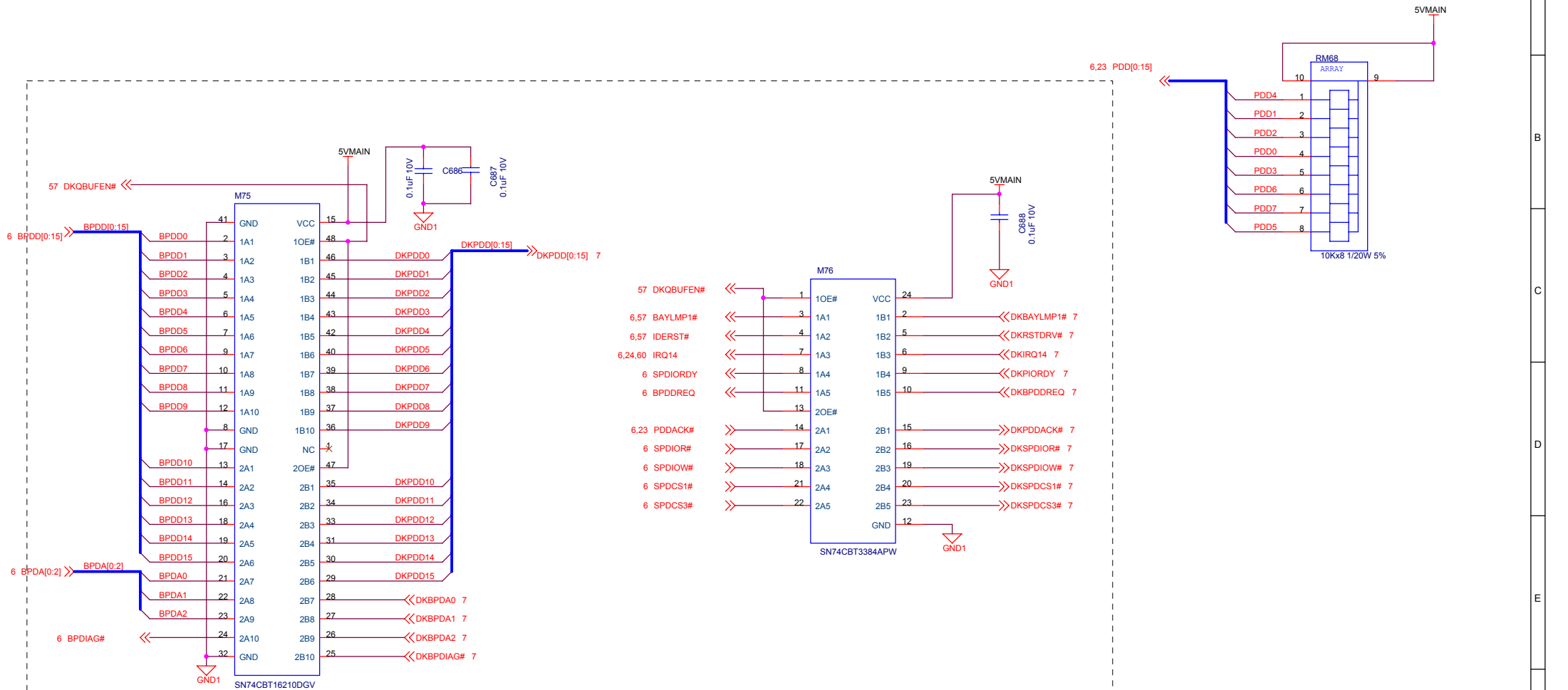
						名	ANISE-E2 04		
						称			
						図	C1CP051300-X4		提出先
						番			
版	年 月	設計	調査	承認	変 更 内		富士通株式会社		
設計			調査		承認		32 /		81

	1	2	3	4	5	6	7	8	9																																									
A																																																		
B																																																		
C																																																		
D																																																		
E																																																		
F																																																		
G	BLANK						<table><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>版</td><td>年 月</td><td>設計</td><td>調査</td><td>承認</td><td>変 更 内</td></tr><tr><td>設計</td><td></td><td></td><td>調査</td><td></td><td>管 承 認</td></tr></table>																			版	年 月	設計	調査	承認	変 更 内	設計			調査		管 承 認	<table><tr><td>名 称</td><td colspan="2">ANISE-E2 04</td></tr><tr><td>図 番</td><td>C1CP051300-X#</td><td>提出先</td></tr><tr><td colspan="3">富士通株式会社</td></tr><tr><td colspan="3">33 / 81</td></tr></table>	名 称	ANISE-E2 04		図 番	C1CP051300-X#	提出先	富士通株式会社			33 / 81		
版	年 月	設計	調査	承認	変 更 内																																													
設計			調査		管 承 認																																													
名 称	ANISE-E2 04																																																	
図 番	C1CP051300-X#	提出先																																																
富士通株式会社																																																		
33 / 81																																																		
	1	2	3	4	5	6	7	8	9																																									



PULL UP

						名称 図 番	ANISE-E2 04		提出先	
							C1CP051300-X4			
版	年	月	設計	調査	承認		変 更 内			
設計				調査			承認			
							富士通株式会社	34	/	81



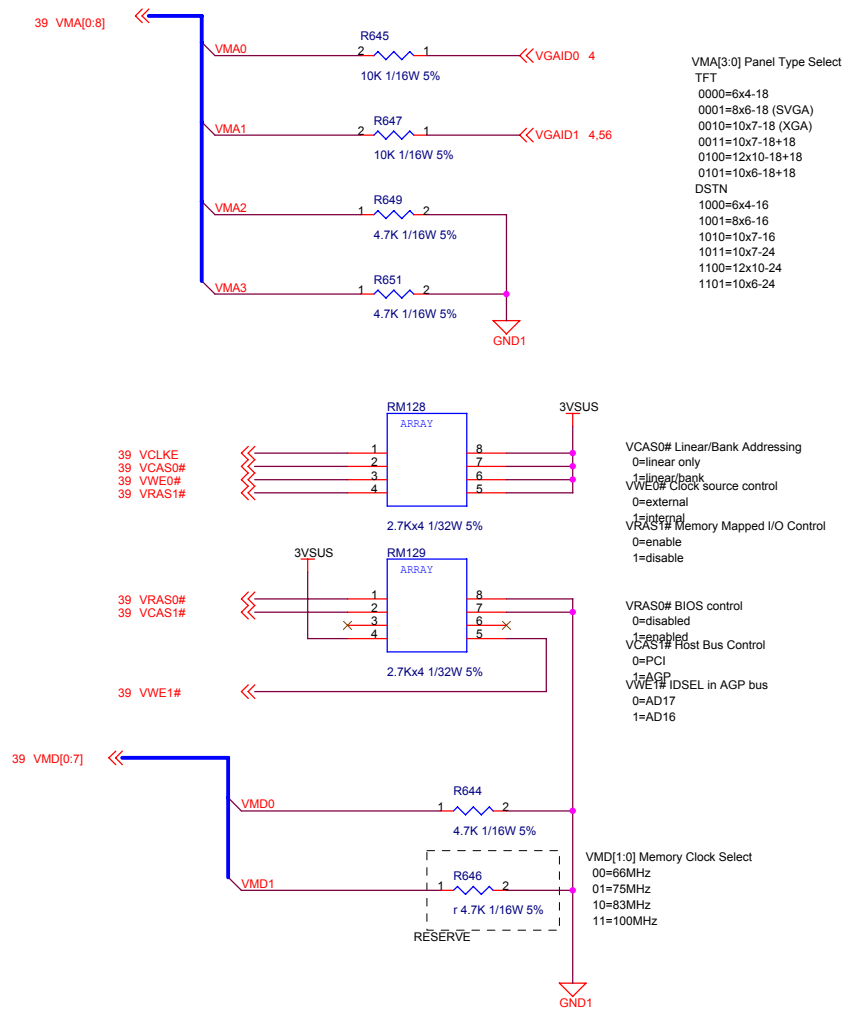
M75, M76はCN7直裏付近に搭載のこと。
BPDDx, DKPDDxは左右の関係を保てばヒンズリ可
注意: ヒンズリした場合は、設計元に書面通知すること B

1	2	3	4	5	6	7	8	9	
A									A
B									B
C									C
D									D
E									E
F									F
G									G

BLANK

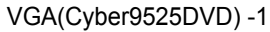
								名	ANISE-E2 04	
								称		
								图	C1CP051300-X4	提出先
								番		
版	年 月	設計	調査	承認	変 更 内			富士通株式会社		
設計			調査		変 更	承認		36	/	81

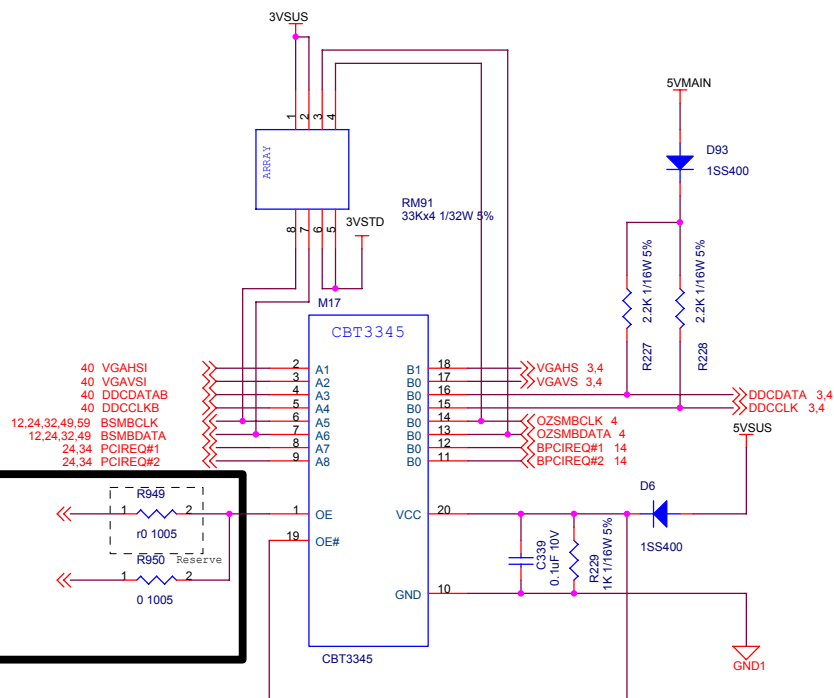
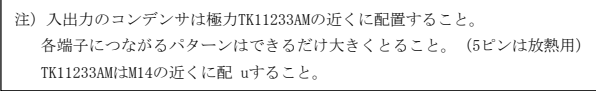




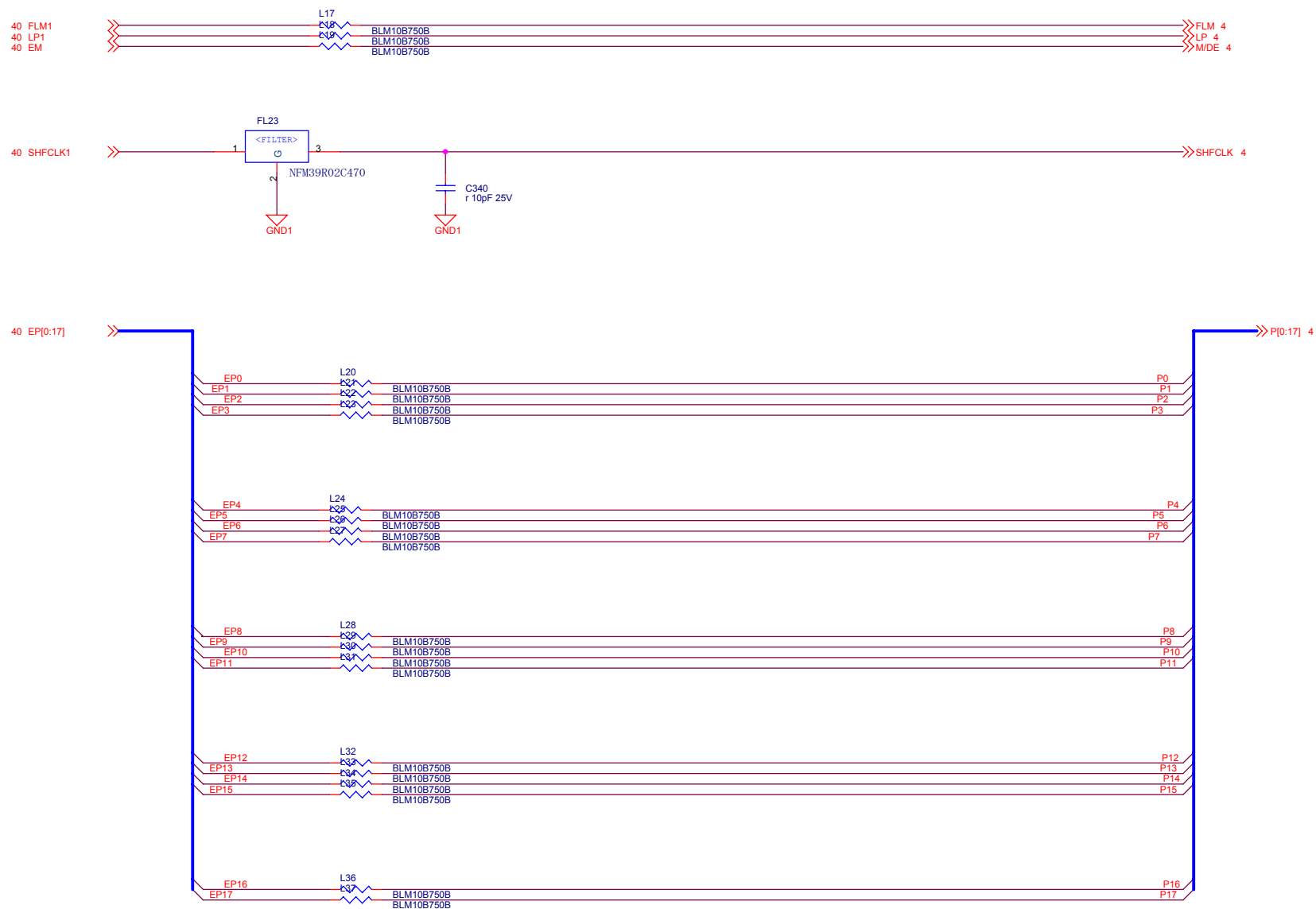
VGA Config

[illegible]



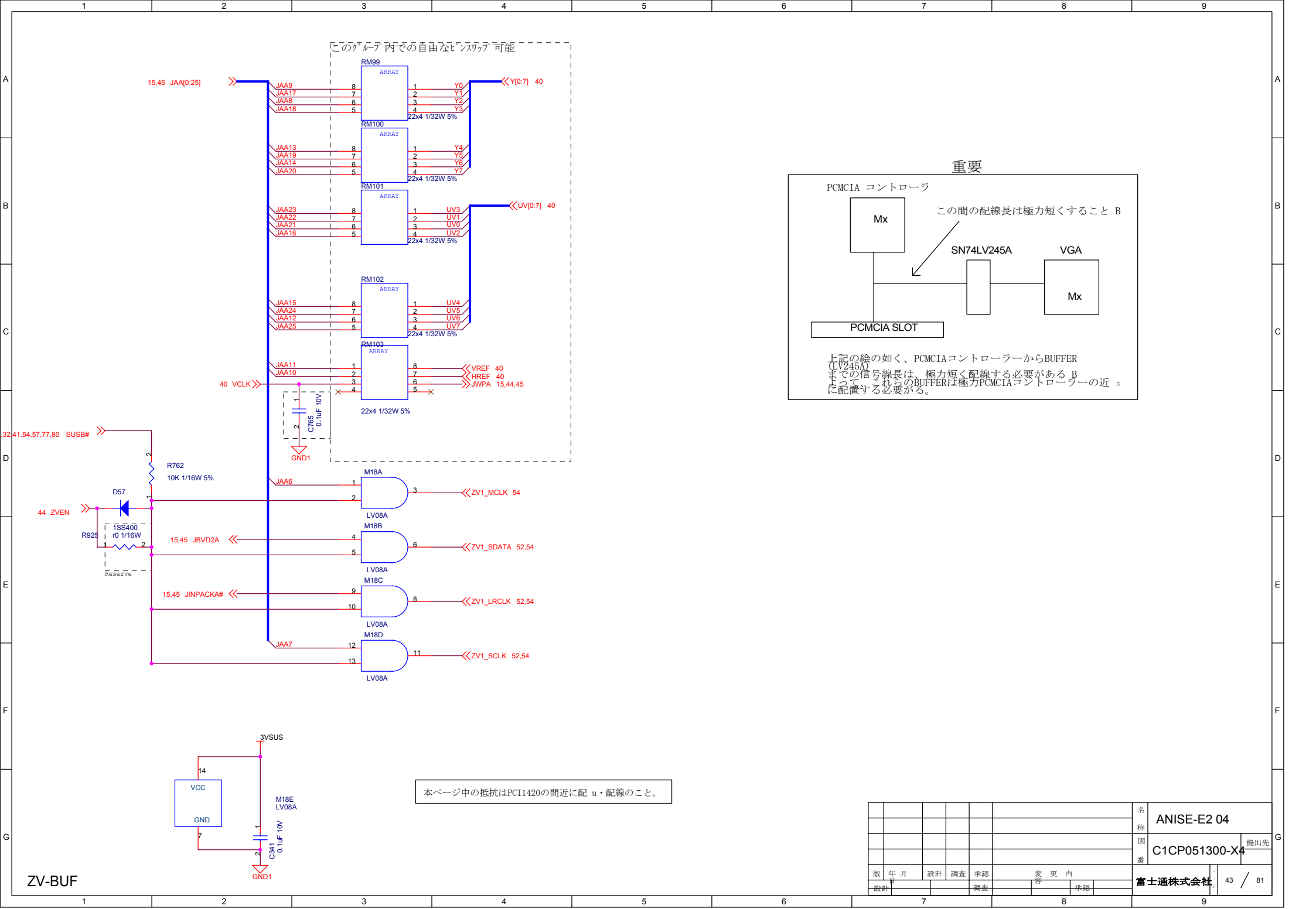


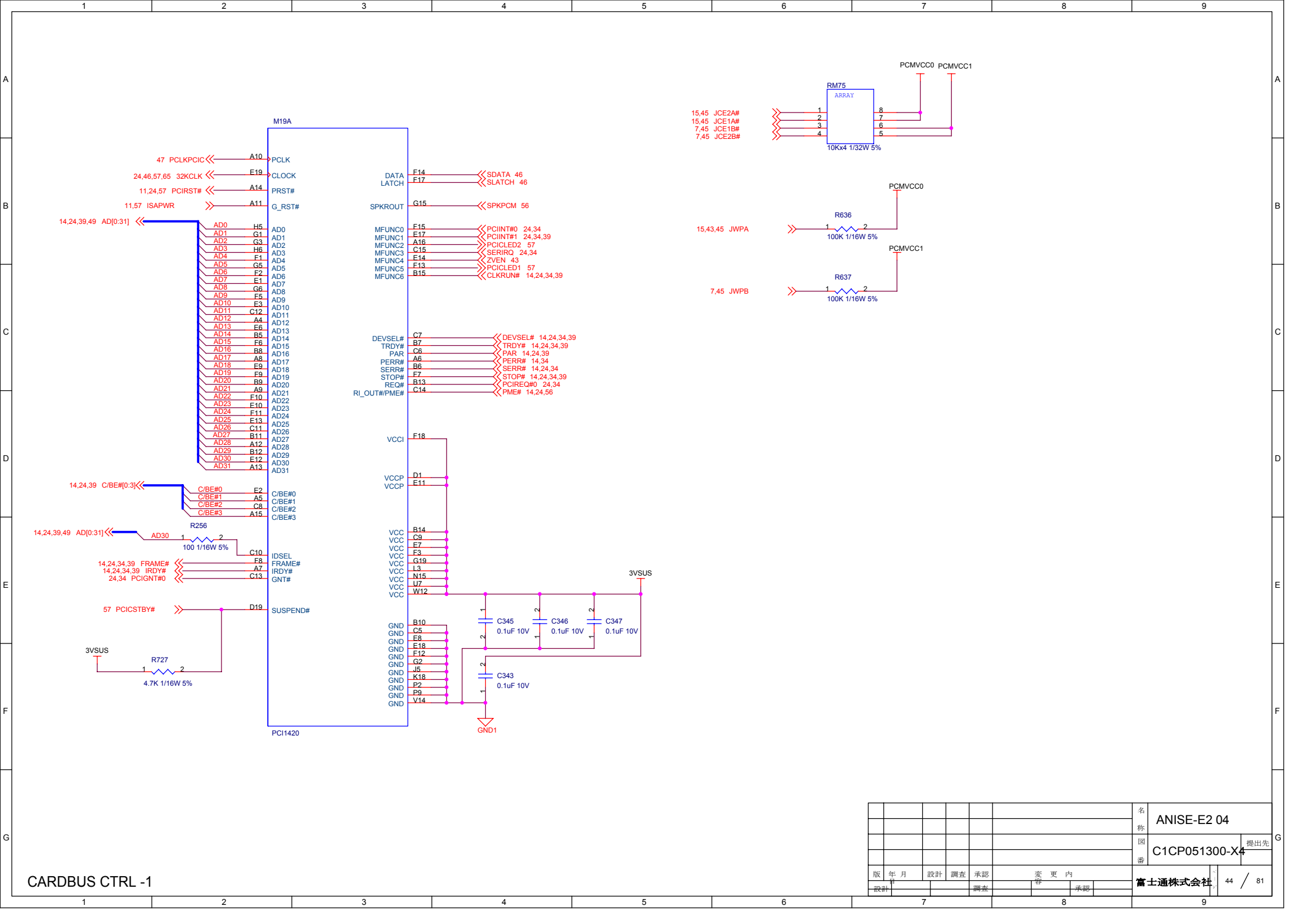
							名称	ANISE-E2 04											
							図	C1CP051300-X4		提出先									
							番												
版	年	月	設計	調査	承認	変 更 内					富士通株式会社	41 / 81							
設計				調査		容		承認											



						名称 図 番	ANISE-E2 04		
							C1CP051300-X4	提出先	
版	年 月	設計	調査	承認	更 正 内				
設計			調査		承認		富士通株式会社	42	/ 81

LCD Dumping





注
JAA16, JAB16はCardBus時クロック信号になるのでGND1にてガードを行うこと。

									名	ANISE-E2 04
									図	C1CP051300-X#
									番	提出先
版	年月	設計	調査	承認	変更	承認	変更	承認	富士通株式会社	45 / 81
設計				調査						

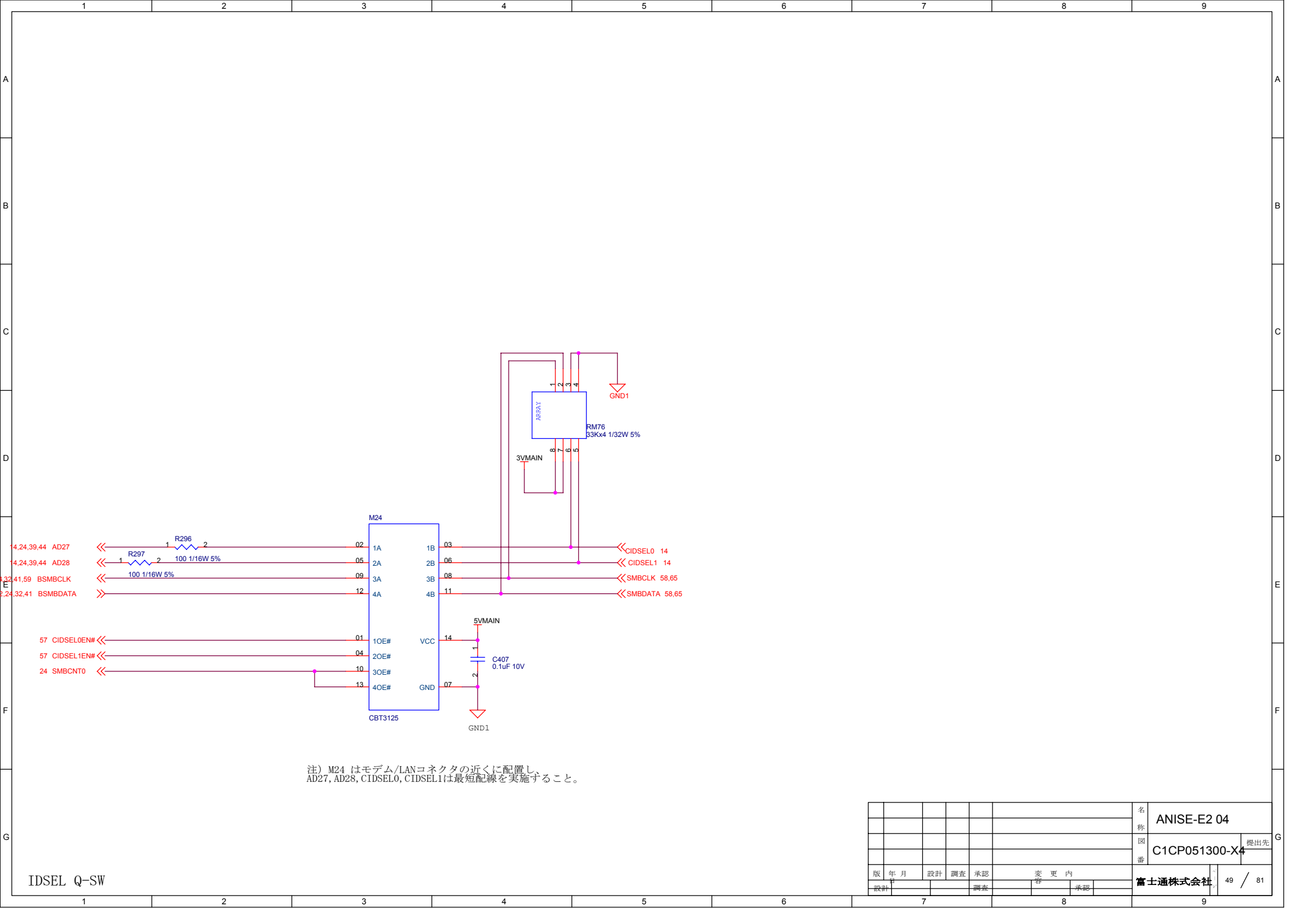




X3, C363, C364は、M21の4, 5ピン付近に配置, 配線すること。
また、パターン下にバス等の高速な信号は走らせないこと。
すべてのクロックは、極力4, 5層を走らせること。

						名称	ANISE-E2 04		
						図番	C1CP051300-X4	提出先	
版	年	月	設計	調査	承認	変更内			
設計				調査		承認		富士通株式会社	47 / 81

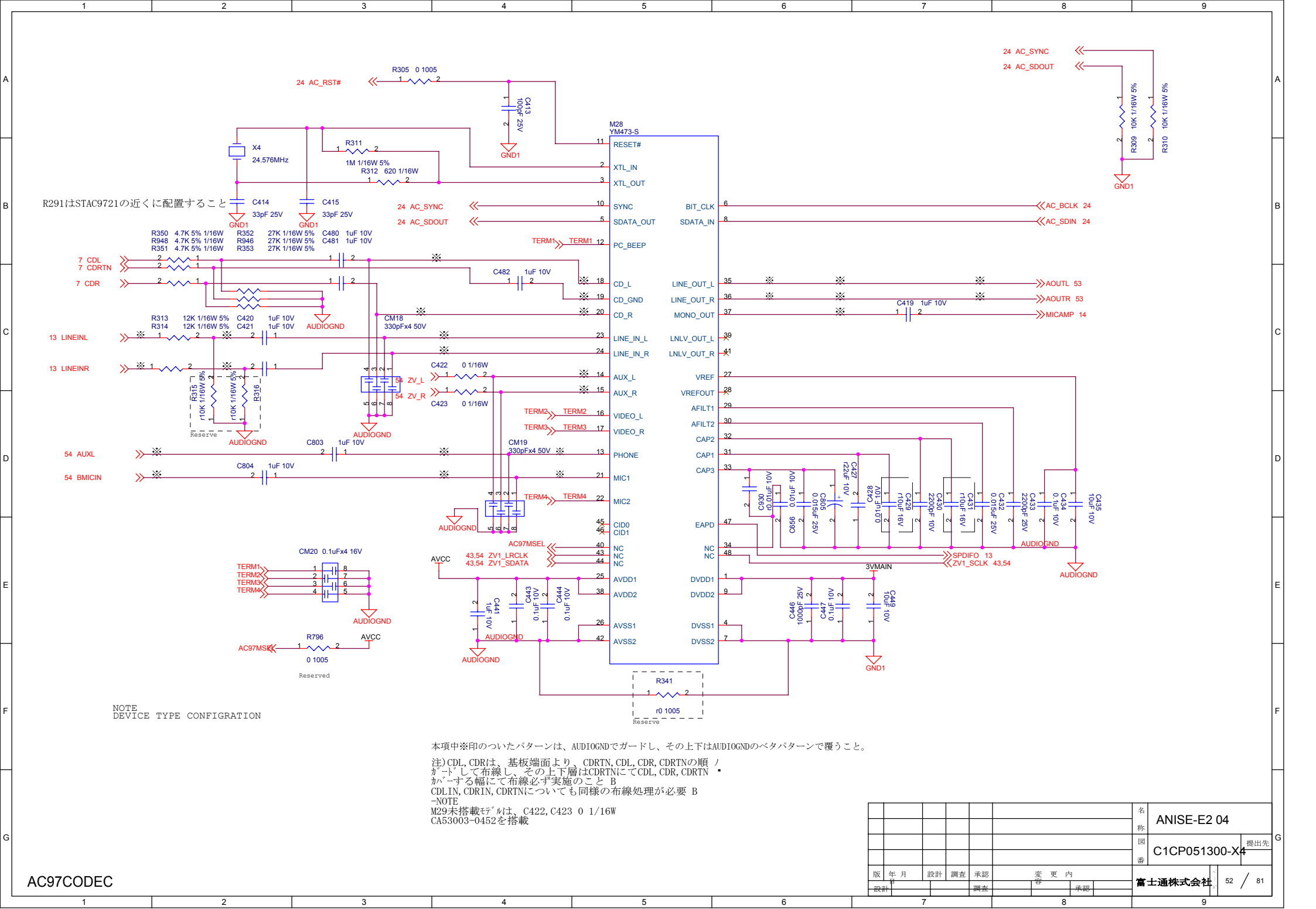
	1	2	3	4	5	6	7	8	9																																						
A																																															
B																																															
C																																															
D																																															
E																																															
F																																															
G	BLANK						<table><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>版</td><td>年 月</td><td>設計</td><td>調査</td><td>承認</td><td>変 更 内</td></tr><tr><td>設計</td><td></td><td></td><td>調査</td><td></td><td>管 承認</td></tr></table>																			版	年 月	設計	調査	承認	変 更 内	設計			調査		管 承認	<table><tr><td>名 称</td><td colspan="2">ANISE-E2 04</td></tr><tr><td>図 番</td><td>C1CP051300-X4</td><td>提出先</td></tr><tr><td colspan="2">富士通株式会社</td><td>48 / 81</td></tr></table>	名 称	ANISE-E2 04		図 番	C1CP051300-X4	提出先	富士通株式会社		48 / 81
版	年 月	設計	調査	承認	変 更 内																																										
設計			調査		管 承認																																										
名 称	ANISE-E2 04																																														
図 番	C1CP051300-X4	提出先																																													
富士通株式会社		48 / 81																																													



	1	2	3	4	5	6	7	8	9
A									
B									
C									
D									
E									
F									
G									

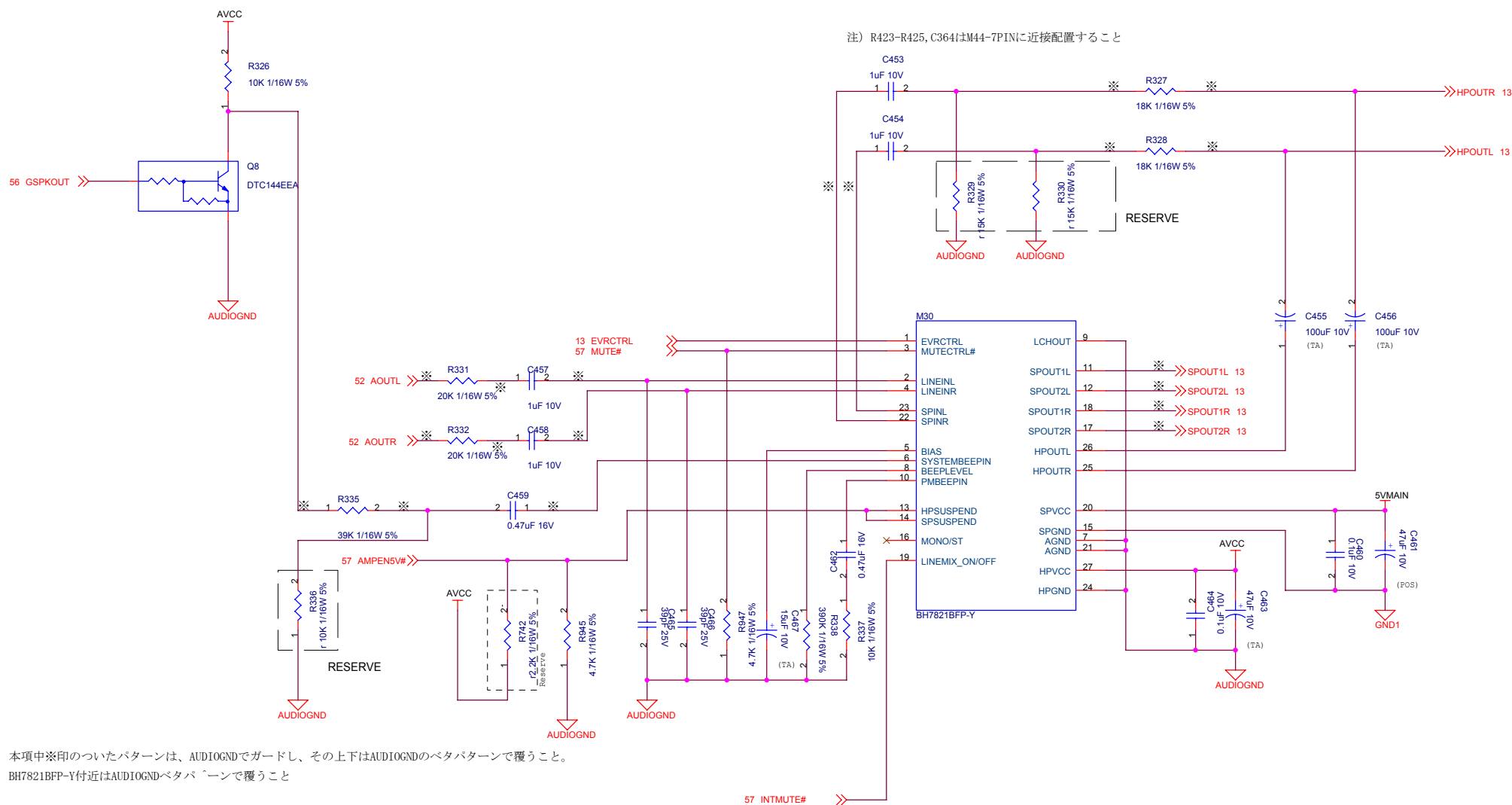
BLANK

						名	ANISE-E2 04
						称	
						図	C1CP051300-X4
						番	提出先
版	年 月	設計	調査	承認	変 更 内	富士通株式会社	
設計			調査		管 承認	50 / 81	



全項AUDIO AREA

本項中※印のついたパターンは、AUDIOGNDでガードし、その上下はAUDIOGNDのベタパターンで覆うこと。



本項中※印のついたパターンは、AUDIOGNDでガードし、その上下はAUDIOGNDのベタパターンで覆うこと。

BH7821BFP-Y付近はAUDIOGNDベタパターンで覆うこと

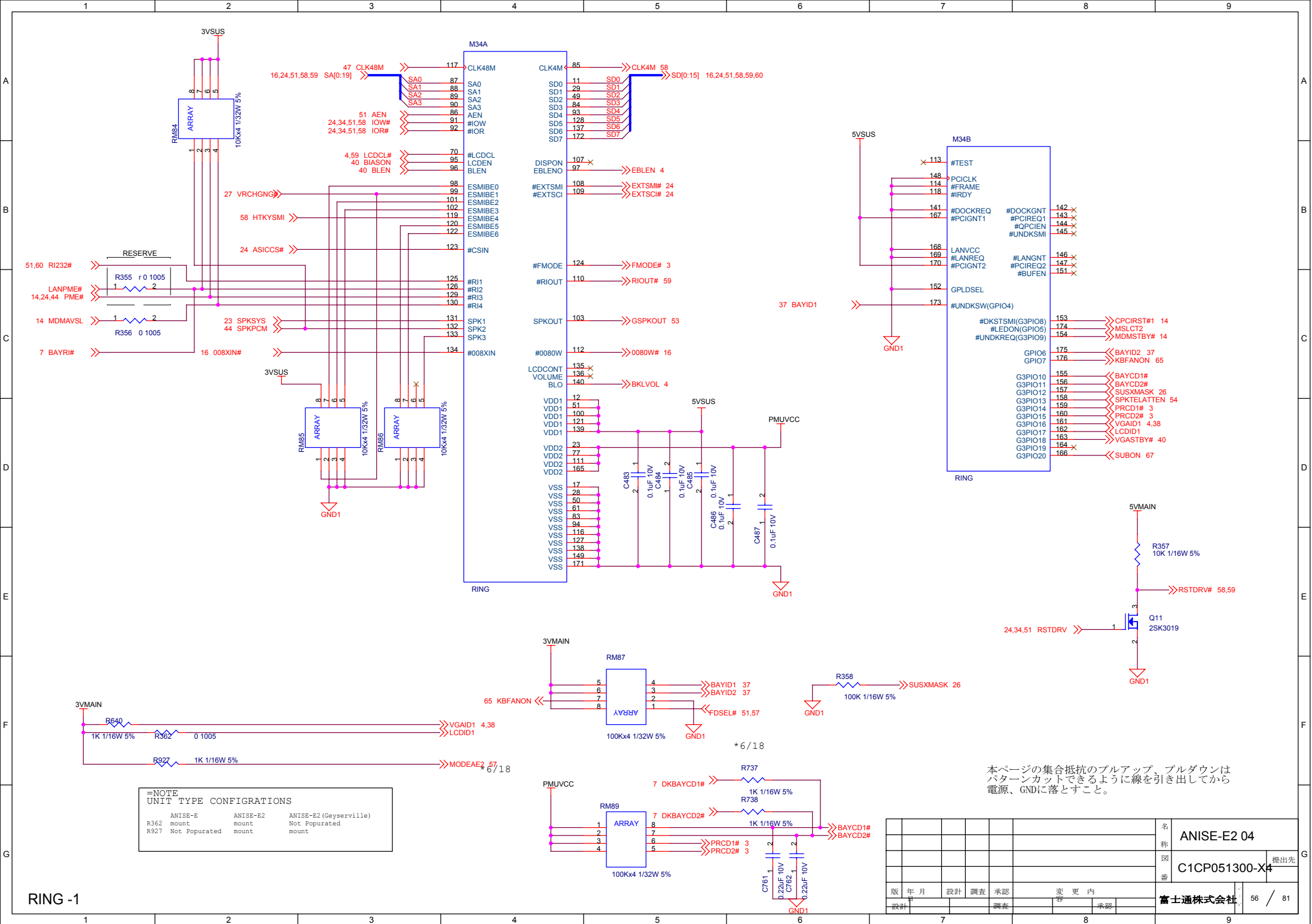
AUDIO AMP

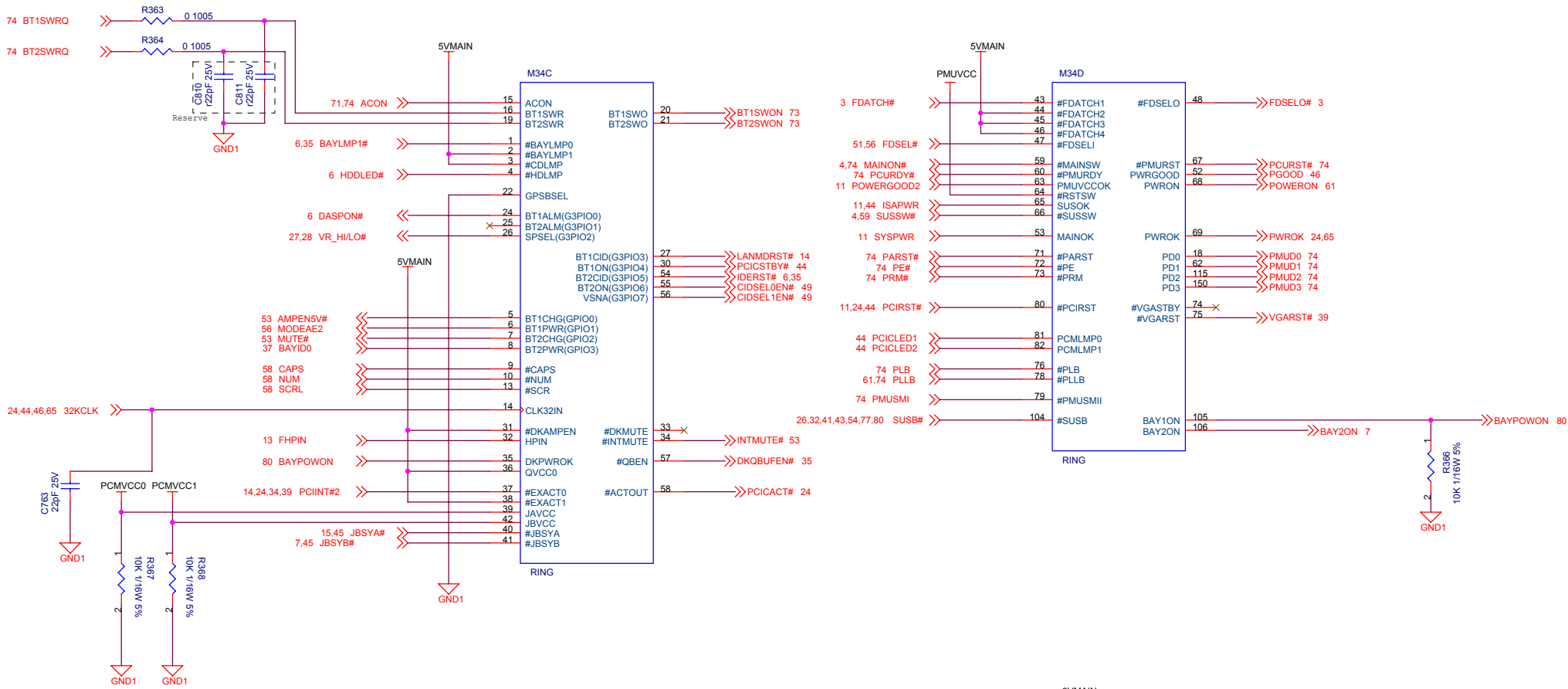
						名称	ANISE-E2 04				
						図	C1CP051300-X4	提出先			
						番					
版	年	月	設計	調査	承認	変更内					
設計				調査		承認	富士通株式会社		53 /	81	

A									
B									
C									
D									
E									
F									
G									

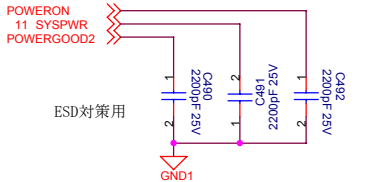
BLANK									
123456789									

ANISE-E2 04									
C1CP051300-X4									
富士通株式会社									
55 / 81									

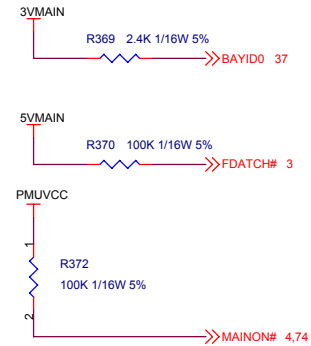




上記抵抗は、本ICの近傍に配置すること

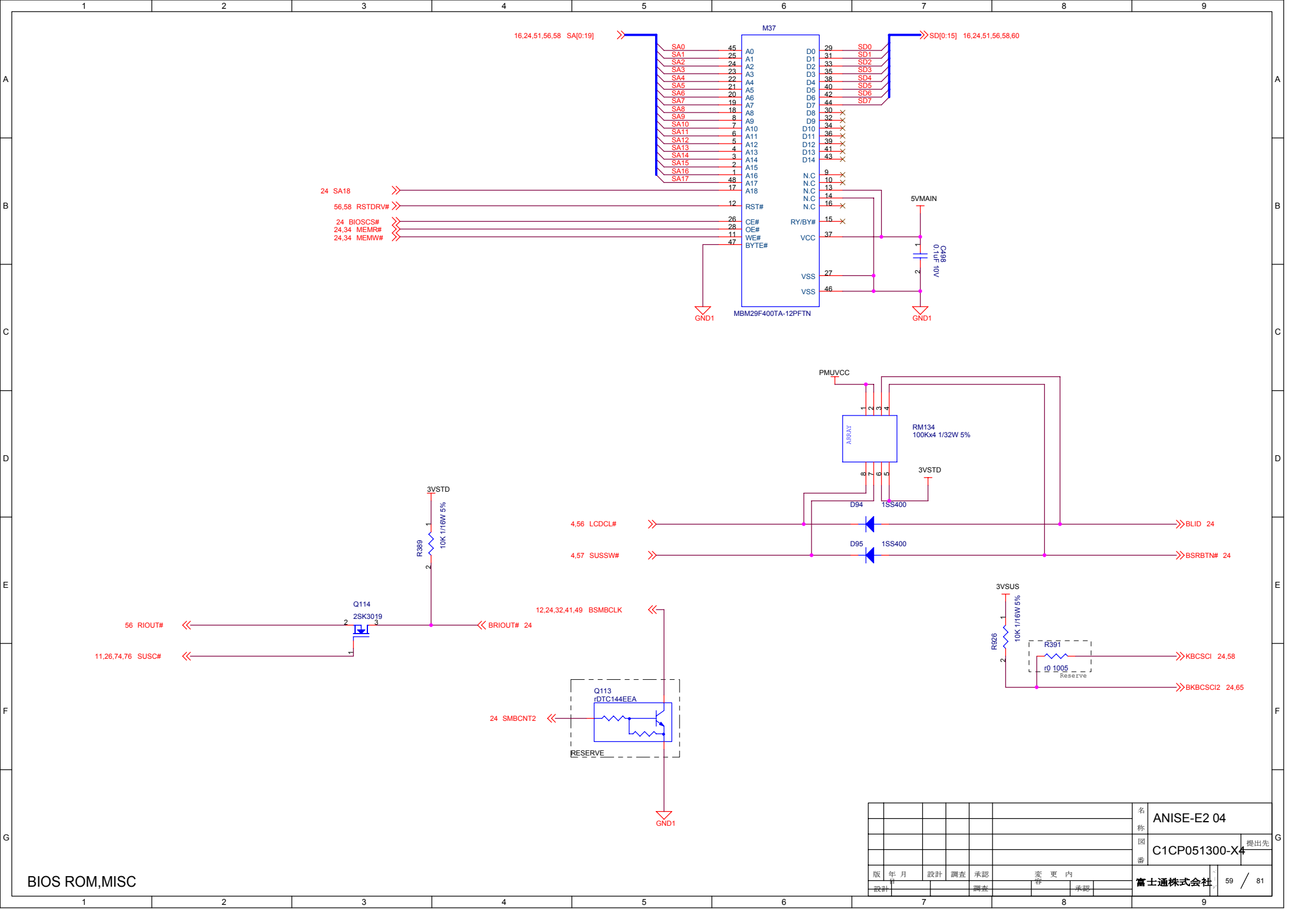


本コンデンサはRINGのピンのすぐそばに配置すること

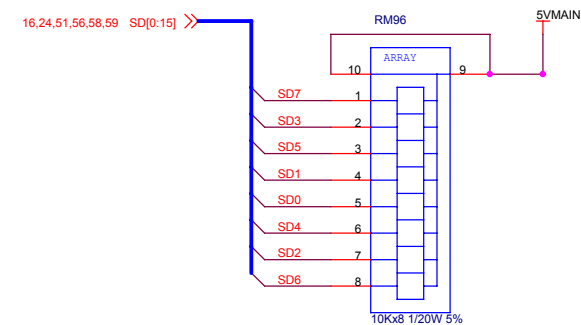
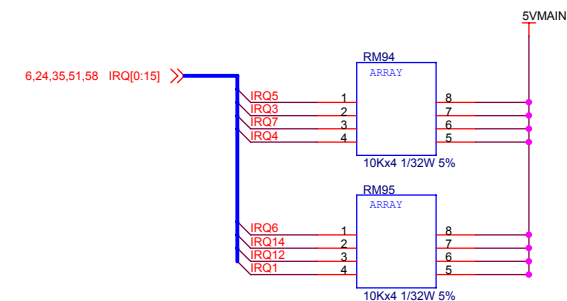
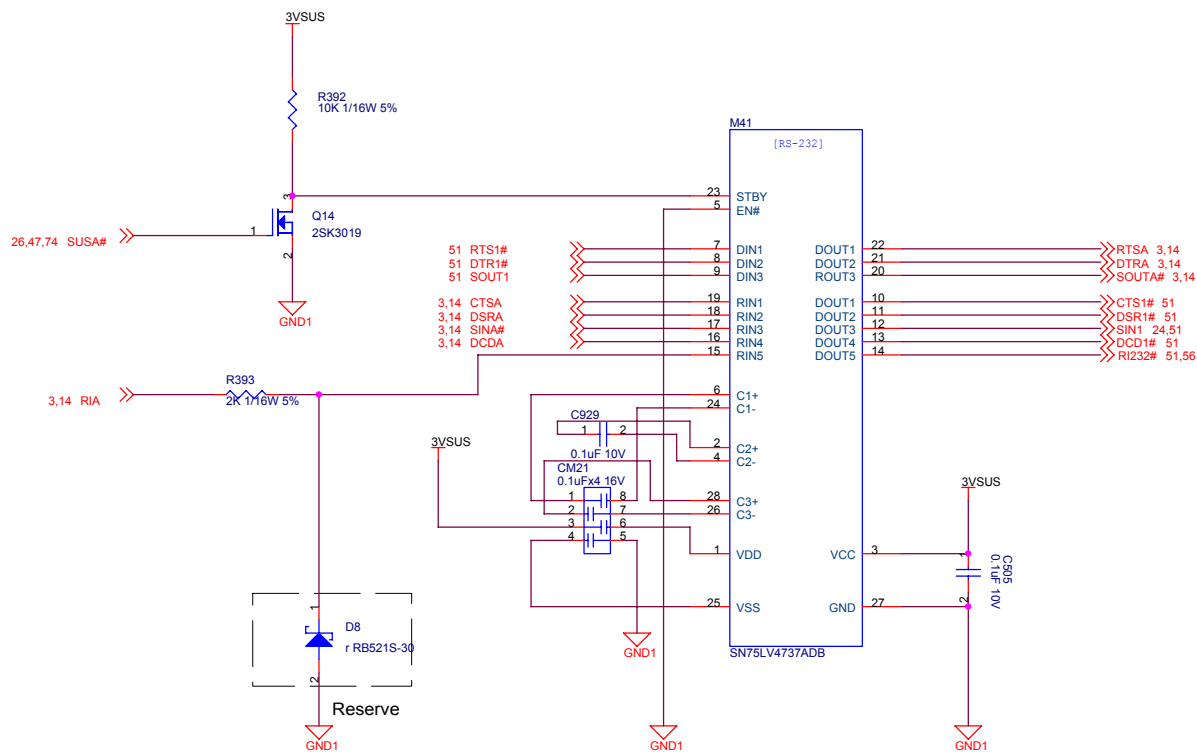


RING -2

				名 称				ANISE-E2 04			
				図 番				C1CP051300-X4			
				提 出 先				富士通株式会社			
				81				57			

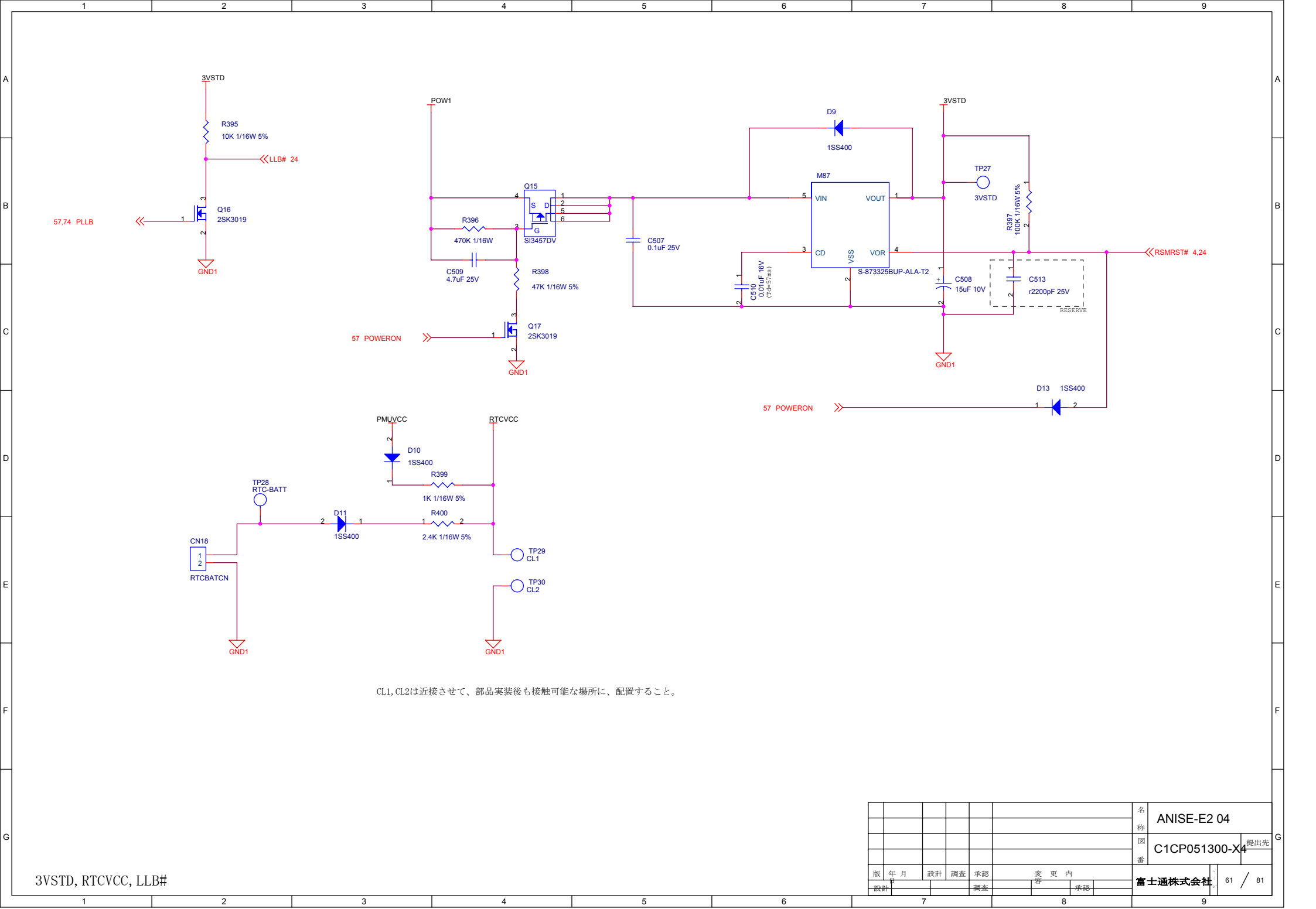


									名	ANISE-E2 04
									图	C1CP051300-X#
									番	提出先
版	年月	設計	調査	承認	変更	内			富士通株式会社	59 / 81
設計			調査		承認					



RS232C DRV

										名称	ANISE-E2 04		
										図	C1CP051300-X4	提出先	
										番			
版	年	月	設計	調査	承認	変更内					富士通株式会社		
設計				調査			特		承認		60	/	81



CL1, CL2は近接させて、部品実装後も接触可能な場所に、配置すること。

3VSTD, RTCVCC, LLB#

名	ANISE-E2 04	提出先
図	C1CP051300-X4	番
版	年月	設計
設計	年月	承認
変更	承認	承認
富士通株式会社	61	81

1	2	3	4	5	6	7	8	9																																				
A																																												
B																																												
C																																												
D																																												
E																																												
F																																												
G																																												
RESET						<table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>名称</td><td colspan="2">ANISE-E2 04</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>図番</td><td colspan="2">C1CP051300-X4</td></tr><tr><td>版</td><td>年月</td><td>設計</td><td>調査</td><td>承認</td><td colspan="3">変更内容</td><td>提出先</td></tr><tr><td>設計</td><td></td><td></td><td>調査</td><td></td><td>変更</td><td>承認</td><td></td><td>富士通株式会社</td></tr></table>									名称	ANISE-E2 04								図番	C1CP051300-X4		版	年月	設計	調査	承認	変更内容			提出先	設計			調査		変更	承認		富士通株式会社
						名称	ANISE-E2 04																																					
						図番	C1CP051300-X4																																					
版	年月	設計	調査	承認	変更内容			提出先																																				
設計			調査		変更	承認		富士通株式会社																																				
1	2	3	4	5	6	7	8	9																																				

	1	2	3	4	5	6	7	8	9																																																												
A																																																																					
B																																																																					
C																																																																					
D																																																																					
E																																																																					
F																																																																					
G							<table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>版</td><td>年 月</td><td>設計</td><td>調査</td><td>承認</td><td colspan="5">変 更 内</td></tr><tr><td>設計</td><td></td><td></td><td>調査</td><td></td><td>変 更</td><td>承認</td><td></td><td></td><td></td></tr></table>																																											版	年 月	設計	調査	承認	変 更 内					設計			調査		変 更	承認			
版	年 月	設計	調査	承認	変 更 内																																																																
設計			調査		変 更	承認																																																															

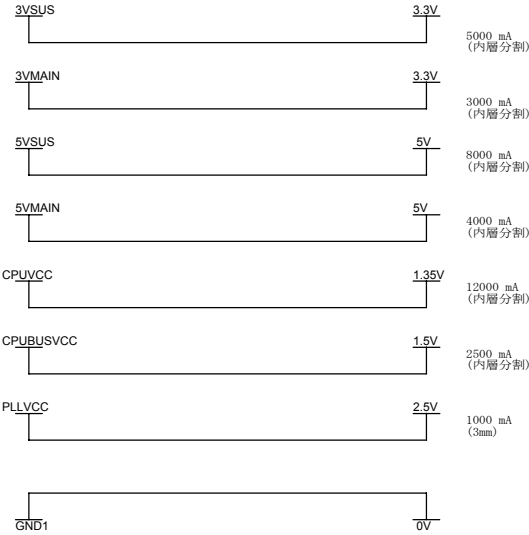
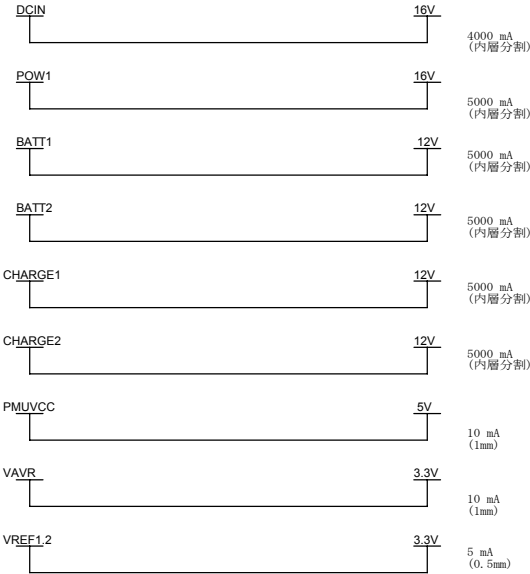
BLANK

名 称	ANISE-E2 04		
図 番	C1CP051300-X4	提出先	
富士通株式会社		63 / 81	

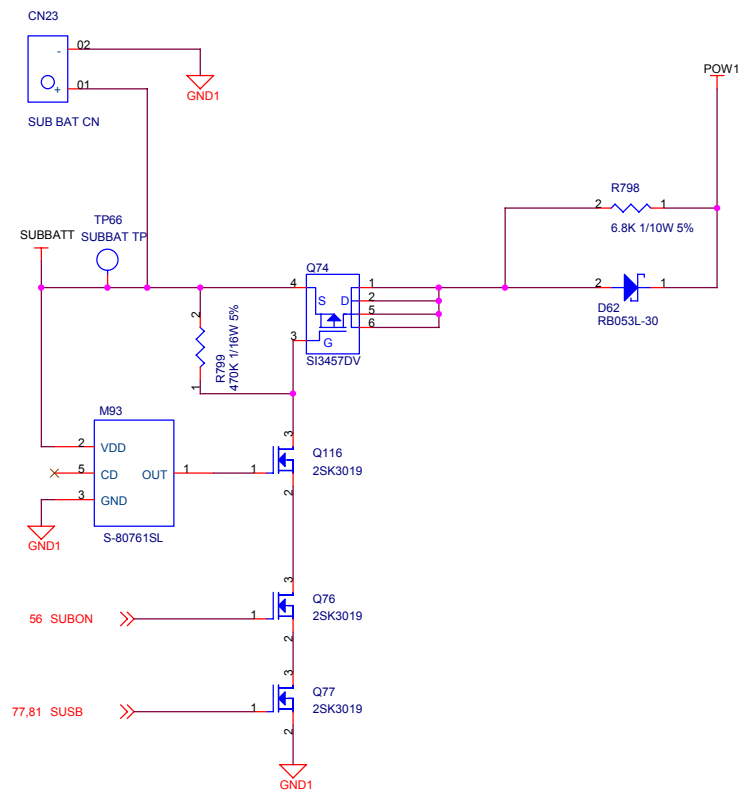
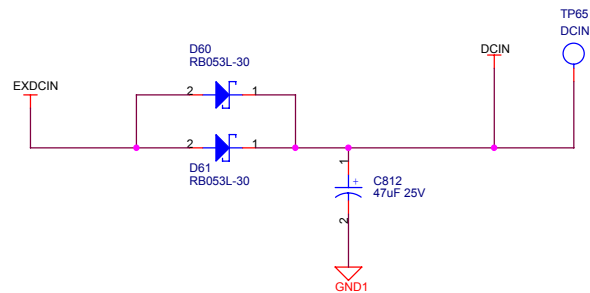
	1	2	3	4	5	6	7	8	9																																						
A																																															
B																																															
C																																															
D																																															
E																																															
F																																															
G	BLANK						<table><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>版</td><td>年 月</td><td>設計</td><td>調査</td><td>承認</td><td>変 更 内</td></tr><tr><td>設計</td><td></td><td></td><td>調査</td><td></td><td>管 承 認</td></tr></table>																			版	年 月	設計	調査	承認	変 更 内	設計			調査		管 承 認	<table><tr><td>名 称</td><td colspan="2">ANISE-E2 04</td></tr><tr><td>図 番</td><td>C1CP051300-X4</td><td>提出先</td></tr><tr><td colspan="2">富士通株式会社</td><td>64 / 81</td></tr></table>	名 称	ANISE-E2 04		図 番	C1CP051300-X4	提出先	富士通株式会社		64 / 81
版	年 月	設計	調査	承認	変 更 内																																										
設計			調査		管 承 認																																										
名 称	ANISE-E2 04																																														
図 番	C1CP051300-X4	提出先																																													
富士通株式会社		64 / 81																																													

Anise-E2 POWER

PAGE	CONTENTS
66	POW INDEX
67	DC-IN
68	BATTx_CN
69	POW1,BTxDCHG
70	BTxVOL
71	ACON,BTxALM
72	5VSTB,PMUVCC,VREF
73	SCONTx
74	PMU
75	BUS SW
76	5VSUS,3VSUS
77	CPUVCC
78	CHARGER
79	CPUVCCP,PLLVCC
80	5VMAIN,3VMAIN,BAYVCC

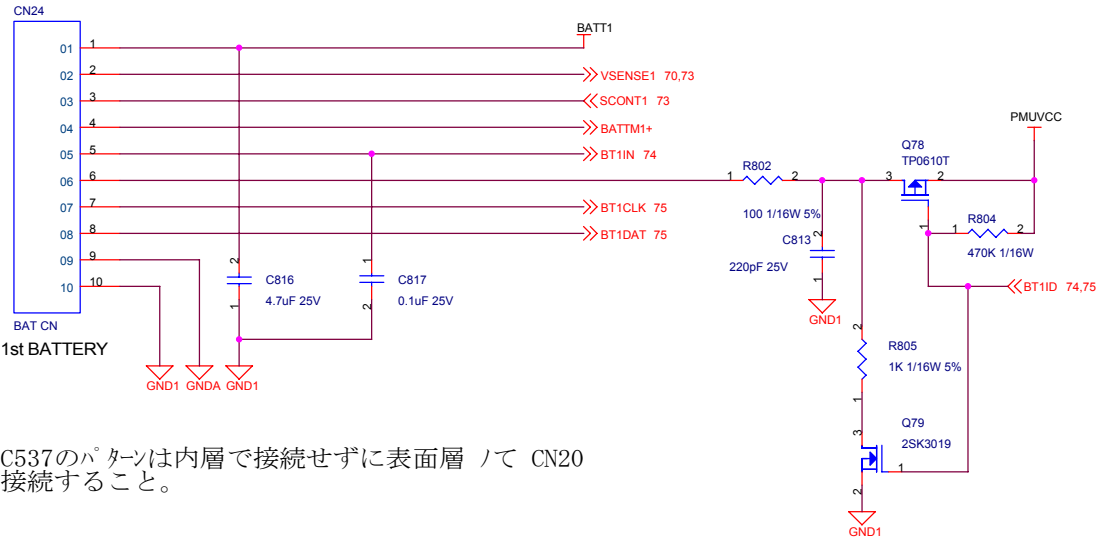


						名	ANISE-E2 04	
						称		
						图	C1CP051300-X4	提出先
						番		
版	年 月	設計	調査	承認	変 更 内	富士通株式会社		
設計			調査		変 更	承認	66 / 81	

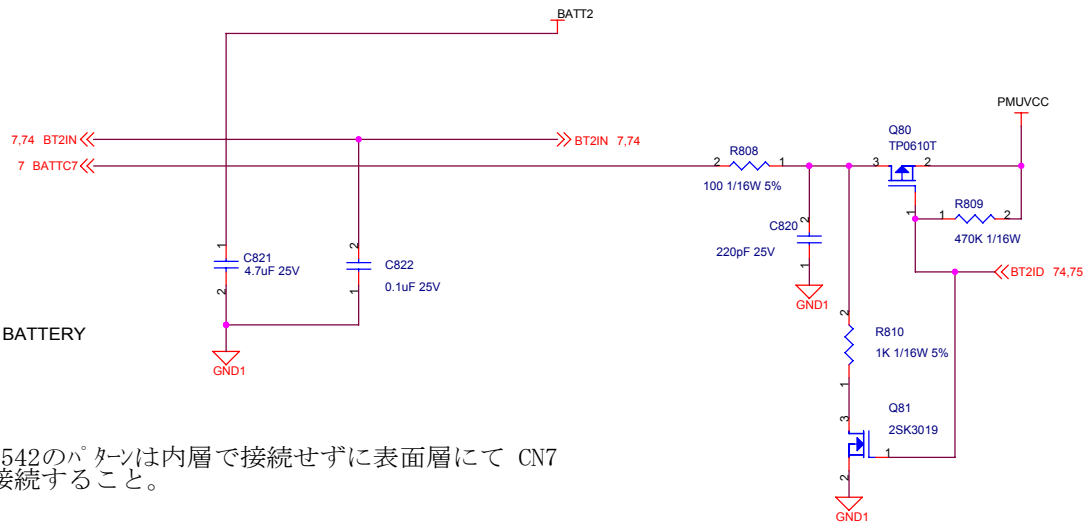
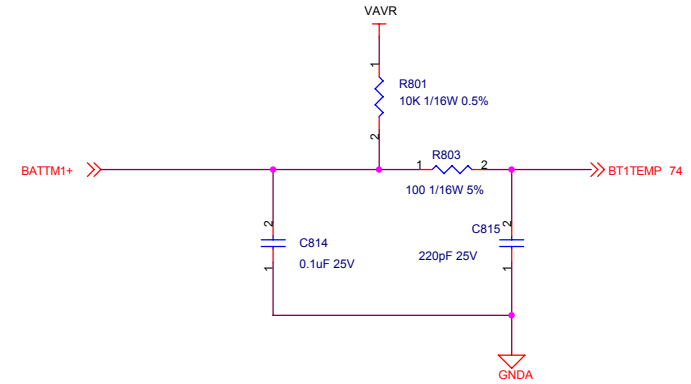


DC-IN

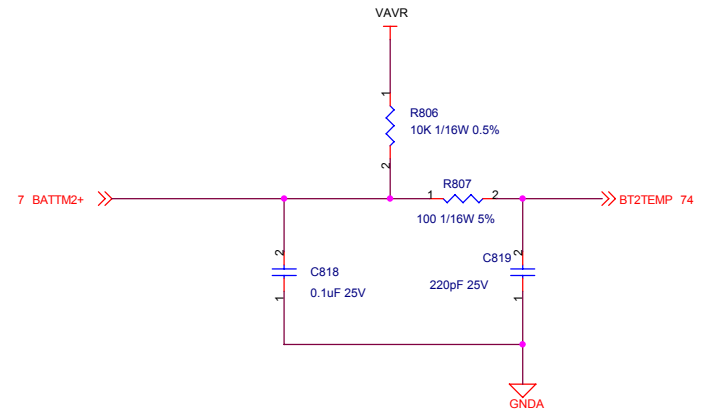
									名	ANISE-E2 04	
									称		
									图	C1CP051300-X4	提出先
									番		
版	年 月	設計	調査	承認	変 更 内			富士通株式会社			
設計				調査		変更	承認			67 /	81



※C537のパターンは内層で接続せずに表面層にて CN20 と接続すること。

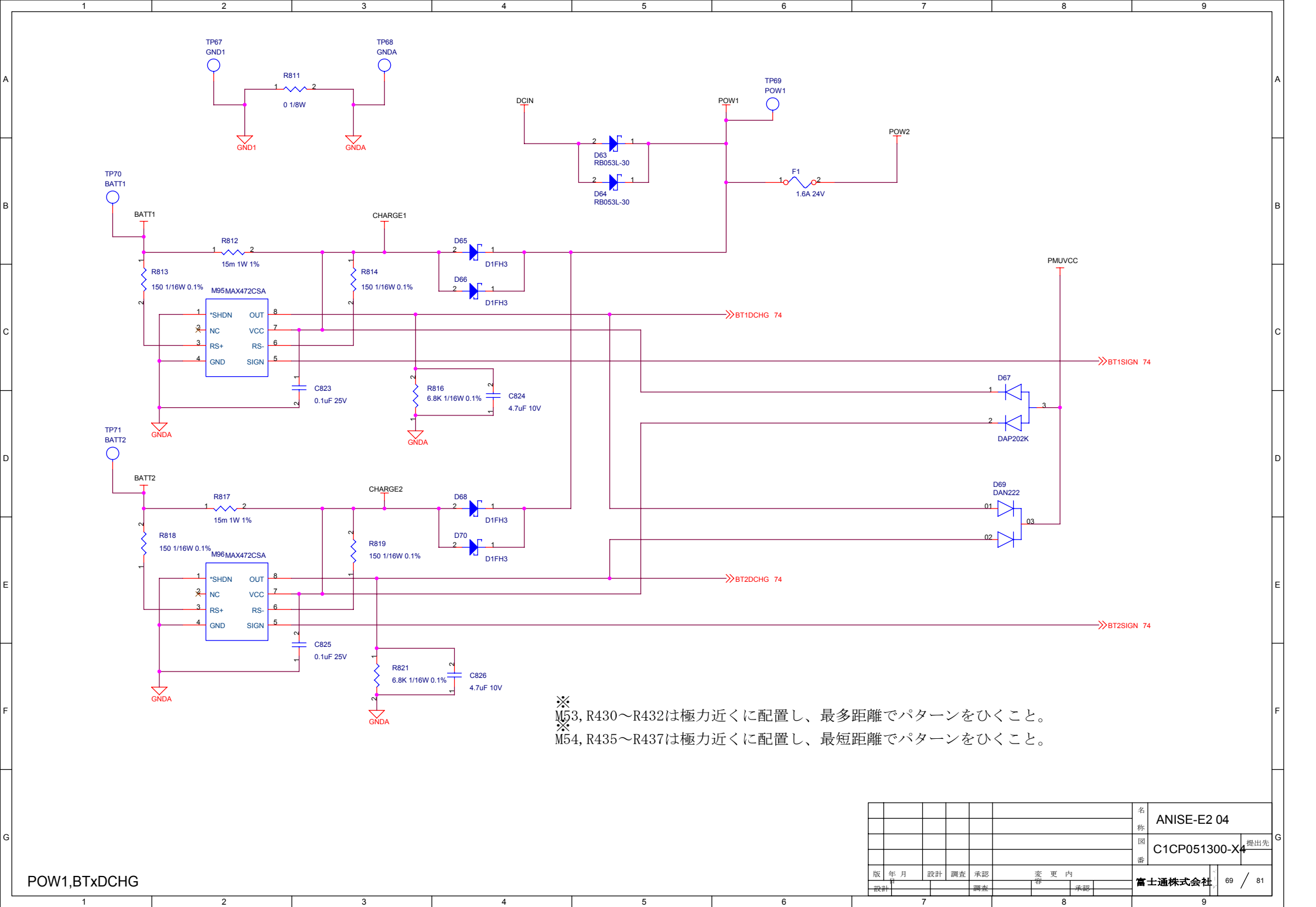


※C542のパターンは内層で接続せずに表面層にて CN7 と接続すること。



BATTx_CN

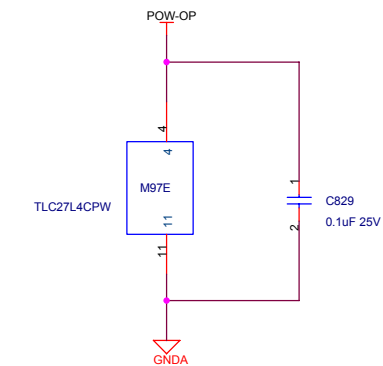
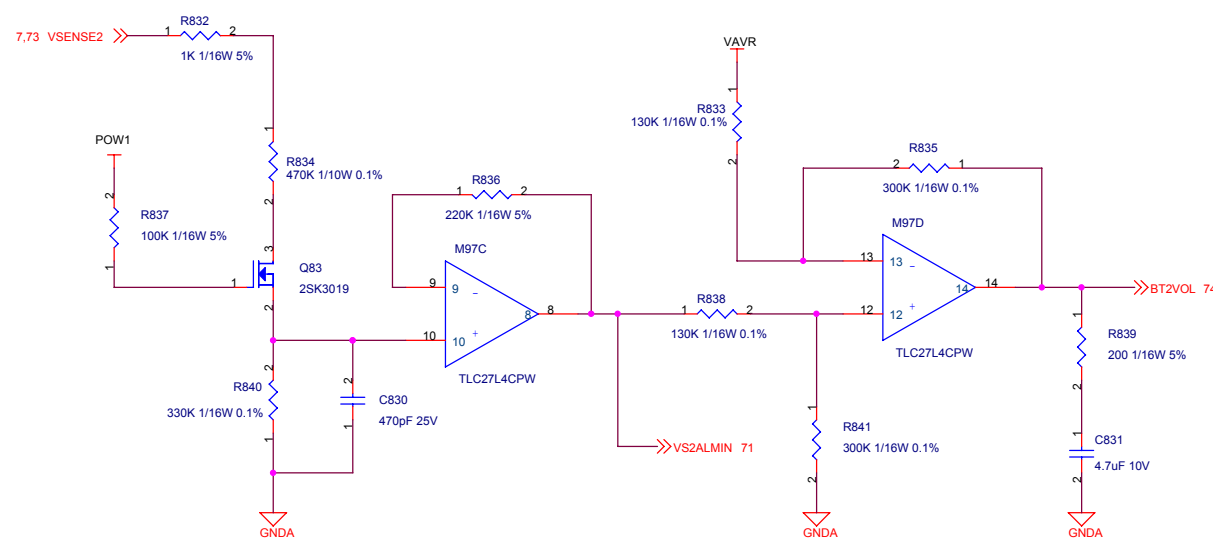
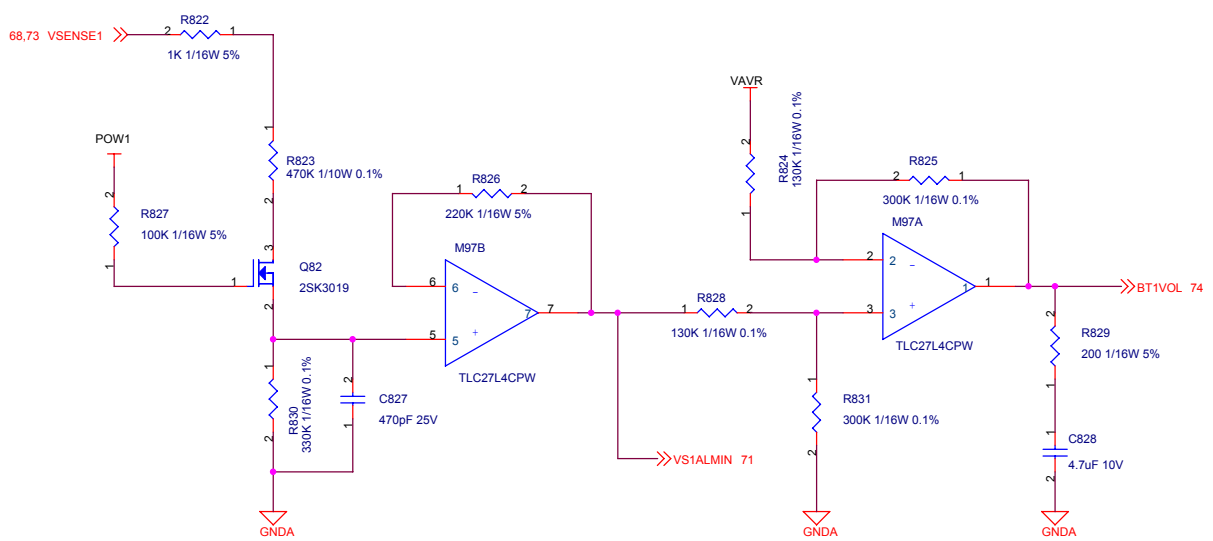
版	年月	設計	調査	承認	変更	承認	富士通株式会社	68 / 81
設計								
図								
番								
名							ANISE-E2 04	
図							C1CP051300-X4	提出先
番								



POW1,BTxDCHG

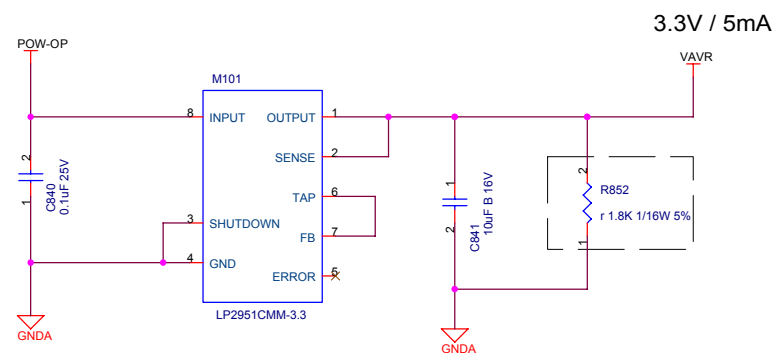
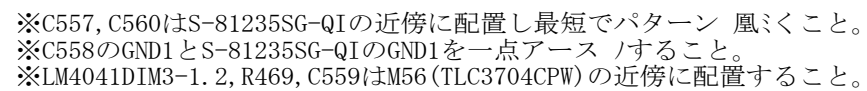
※ M53, R430~R432は極力近くに配置し、最多距離でパターンをひくこと。
※ M54, R435~R437は極力近くに配置し、最短距離でパターンをひくこと。

						名	ANISE-E2 04	
						称		
						図	C1CP051300-X4	提出先
						番		
版	年 月	設計	調査	承認	変 更 内		富士通株式会社	69 / 81
設計			調査		変 更	承認		

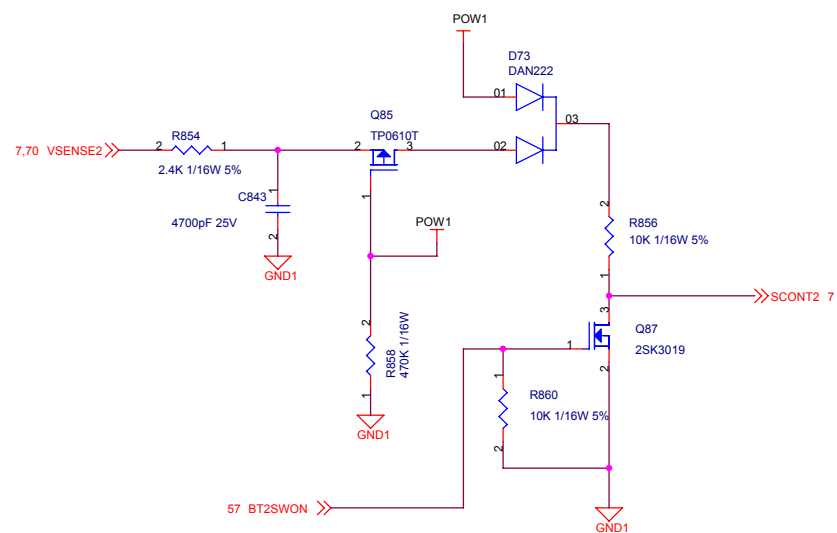
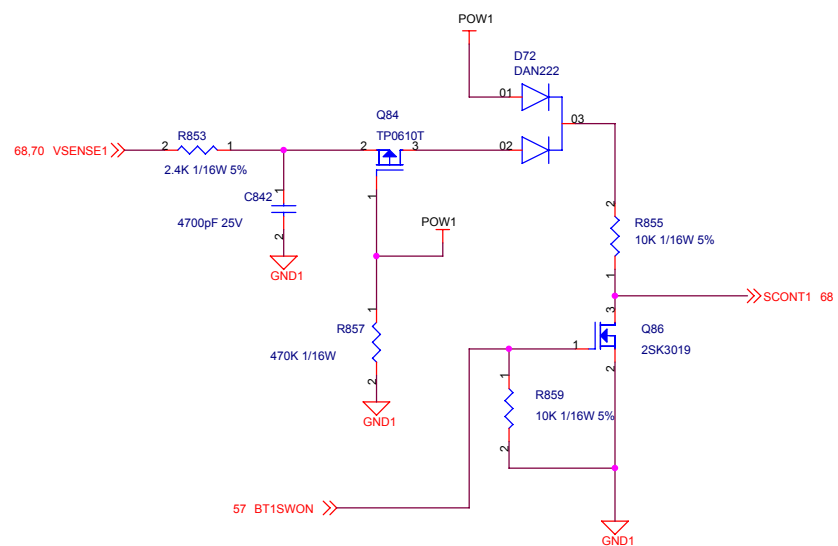


BTxVOL

							名	ANISE-E2 04	
							称		
							図	C1CP051300-X4	提出先
							番		
版	年 月	設計	調査	承認	変 更 内			富士通株式会社	70 / 81
設計					変	承認			
7				9					

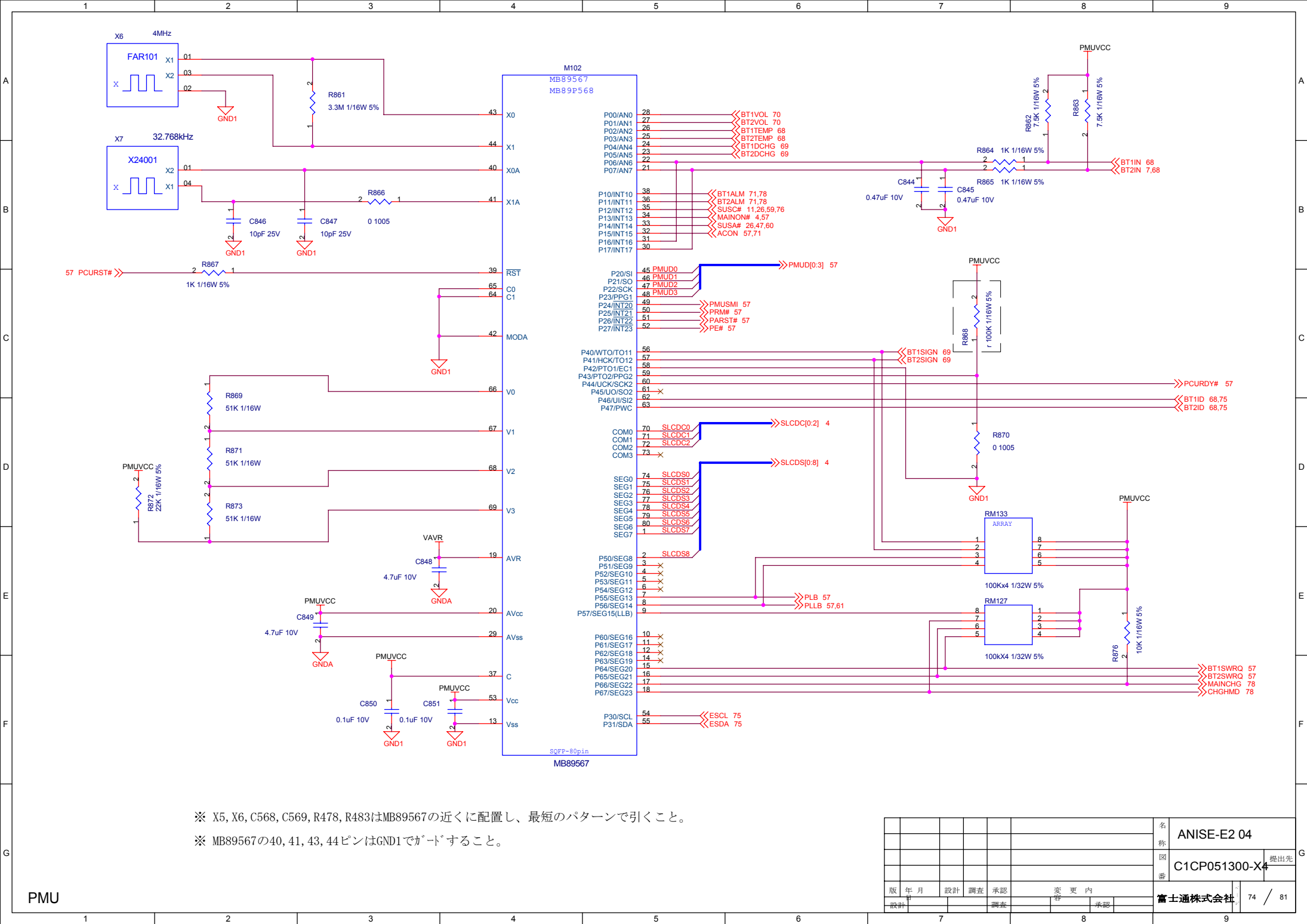


							名称	ANISE-E2 04	
							図番	C1CP051300-X4	提出先
版 設計	年 月	設計	調査	承認	変更内 特記事項		番	富士通株式会社	
設計	年 月	設計	調査	承認	特記事項			72 /	81



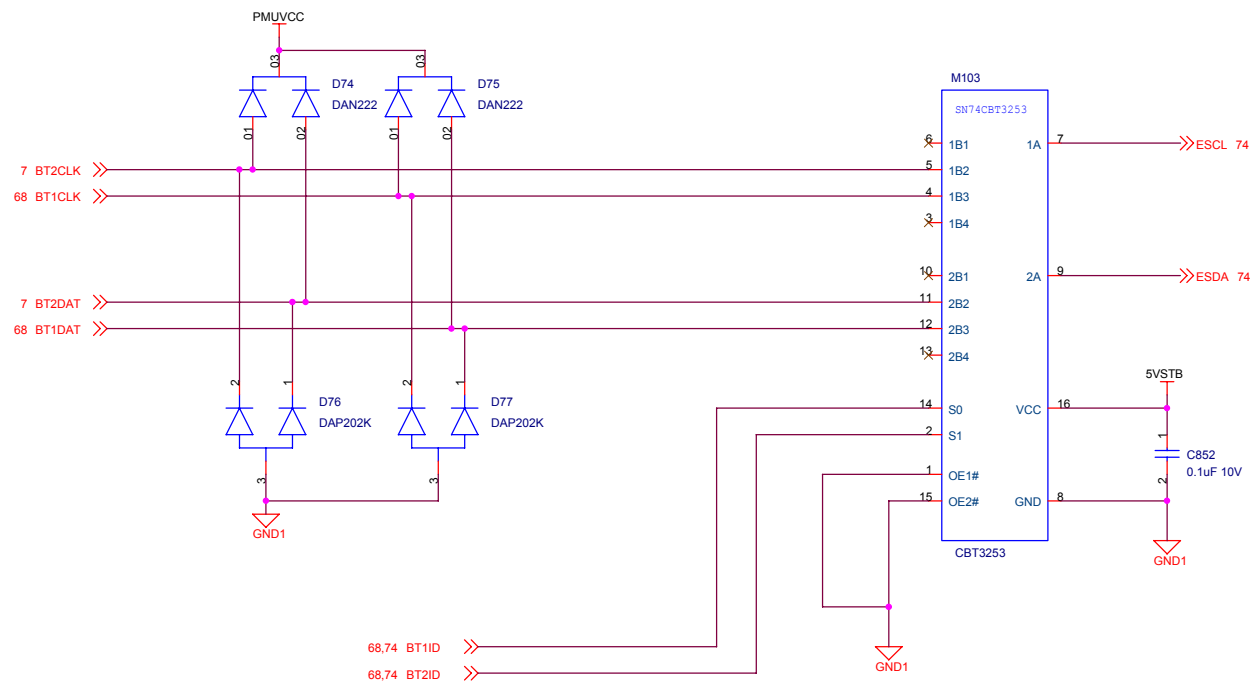
SCONTx

						名称 図 番	ANISE-E2 04		提出先
							C1CP051300-X4		
版	年 月	設計	調査	承認	変 更 内				
設計			調査		承認	富士通株式会社	73 / 81		



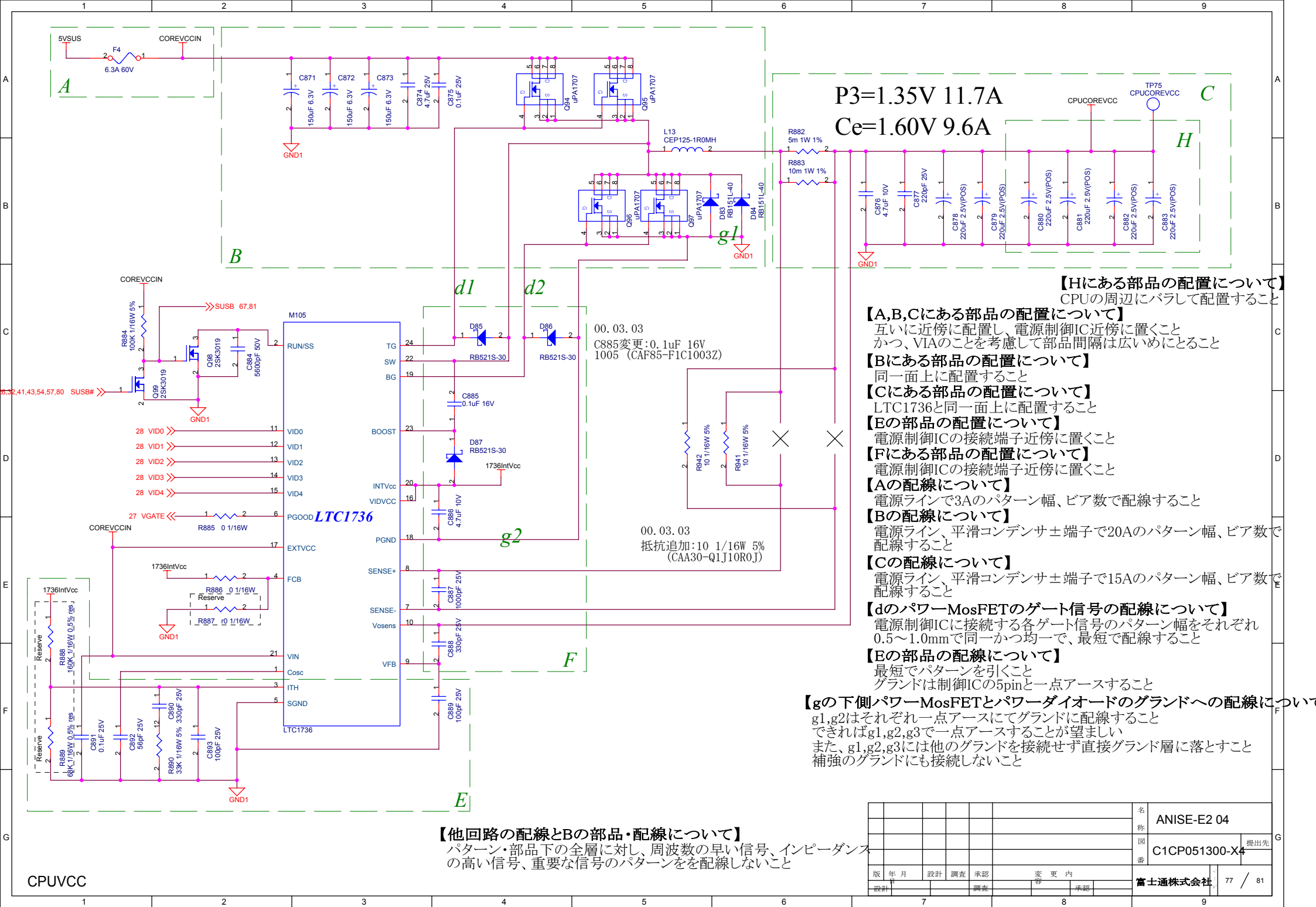
※ X5, X6, C568, C569, R478, R483はMB89567の近くに配置し、最短のパターンで引くこと。
※ MB89567の40, 41, 43, 44ピンはGND1でガードすること。

								名	ANISE-E2 04		G
								称			
								図	C1CP051300-X4	提出先	
								番			
版	年 月	設計	調査	承認	変 更 内						
設計				調査		承認		富士通株式会社			74 / 81



BUS SW

						名	ANISE-E2 04	
						称		
						図	C1CP051300-X4	提出先
						番		
版	年 月	設計	調査	承認	変 更 内	富士通株式会社		
設計			調査		承認			



P3=1.35V 11.7A
Ce=1.60V 9.6A

【Hにある部品の配置について】
CPUの周辺にバラして配置すること

【A,B,Cにある部品の配置について】
互いに近傍に配置し、電源制御IC近傍に置くこと
かつ、VIAのことを考慮して部品間隔は広いめにとること

【Bにある部品の配置について】
同一面上に配置すること

【Cにある部品の配置について】
LTC1736と同一面上に配置すること

【Eの部品の配置について】
電源制御ICの接続端子近傍に置くこと

【Fにある部品の配置について】
電源制御ICの接続端子近傍に置くこと

【Aの配線について】
電源ラインで3Aのパターン幅、ビア数で配線すること

【Bの配線について】
電源ライン、平滑コンデンサ±端子で20Aのパターン幅、ビア数で配線すること

【Cの配線について】
電源ライン、平滑コンデンサ±端子で15Aのパターン幅、ビア数で配線すること

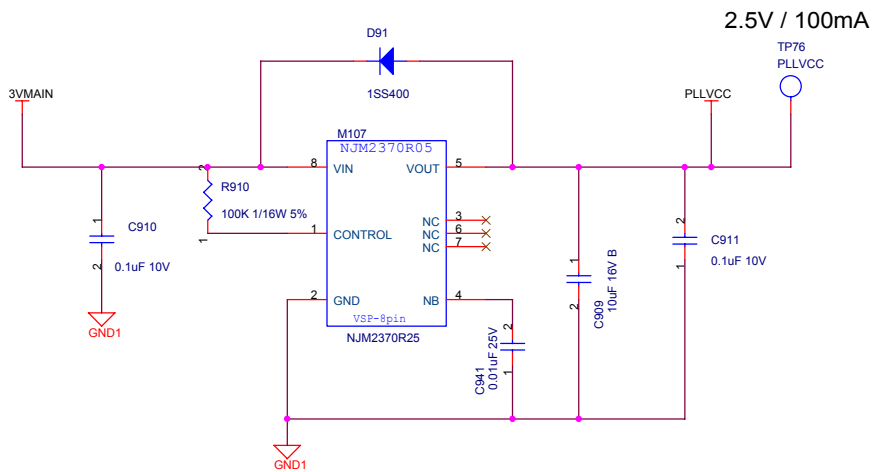
【dのパワーMosFETのゲート信号の配線について】
電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ0.5~1.0mmで同一かつ均一で、最短で配線すること

【Eの部品の配線について】
最短でパターンを引くこと
グラウンドは制御ICの5pinと一点アースすること

【gの下側パワーMosFETとパワーダイオードのグラウンドへの配線について】
g1,g2はそれぞれ一点アースにてグラウンドに配線すること
できればg1,g2,g3で一点アースすることが望ましい
また、g1,g2,g3には他のグラウンドを接続せず直接グラウンド層に落とすこと
補強のグラウンドにも接続しないこと

【他回路の配線とBの部品・配線について】
パターン・部品下の全層に対し、周波数の早い信号、インピーダンスの高い信号、重要な信号のパターンをを配線しないこと

				名 称		ANISE-E2 04	
				図 番		C1CP051300-X4	
				提出先			
				版		富士通株式会社	
				年月		77 / 81	
				設計			
				調査			
				承認			
				変更			
				承認			



00. 03. 03
C909変更:10uF 16V B(CAF81-R1C1005K)
セラコン追加:0.01uF
25V (CAF34-F1E1002Z)

CPUVCCP, PLLVCC

									名	ANISE-E2 04
									称	
									図	C1CP051300-X4
									番	提出先
版	年 月	設計	調査	承認		変 更 内			富士通株式会社	79 / 81
設計				調査		変 更	承認			

